
INTELLECTUAL PROPERTY OFFICE
 MINISTRY OF ECONOMIC AFFAIRS, R. O. C.
 Web Search
 About TIPO Press Release What's New Laws & Regulations How to Statistics Enforcement & Prosecution International Harmonization

How to...

Procedures

Fees

TW Patent Search

Patent

Patent No 444385 Publication Date 2001/7/1
 Application No 087106569 Filing Date 1998/4/28
 Title Stacked low voltage triggering silicon control rectifier and the application in the electrostatic discharge protection for integrated circuit
 IPC H01L23/60 & H01L27/10

Author / Inventor

KE, MING-DAU (TW) ; JANG, HENG-SHIANG (TW) ;

Applicant

Name	Country	Individual/Company
TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.	TW	Company

Patent Abstract

The stacked low voltage triggering silicon control rectifier in the present invention comprises two or more silicon control rectifiers, each silicon control rectifier comprising an anode, a control gate and a cathode. The silicon control rectifier connects the control gates of the same type of silicon control rectifier, and connects the cathode of each silicon control rectifier and the anode of next silicon control rectifier, so as to achieve the stacking of silicon control rectifiers, change the stacking number for silicon control rectifier, and adjust the overall opening holding voltage of the stacked low voltage triggering silicon control rectifier. The electrostatic discharge protection circuit comprises a protection device and an electrostatic discharge detector to protect the internal circuit. The protection device comprises at least the stacked low voltage triggering silicon control rectifier. The electrostatic discharge detector is used to detect the electrostatic discharge current from the power contact to trigger the protection device to leak the electrostatic discharge current; adjust the stacking number of the stacked low voltage triggering silicon control rectifier to avoid the occurrence of latch-up. Therefore, the inventive electrostatic discharge protection circuit can be effectively and safely applied in the integrated circuit without the latch-up problem.

公告本

修正
補充
90年7月16日

申請日期	87.4.28
案 號	87106569
類 別	1b1c 2/10, 2/60

A4
C4

444385

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	疊接式低電壓觸發矽控整流器及其在積體電路之靜電放電防護上的應用
	英 文	
二、發明人創作	姓 名	一、柯明道 二、張恆祥
	國 籍	一、中華民國 二、中華民國
	住、居所	一、新竹市寶山路200巷3號4樓之3 二、台北縣汐止鎮大同路二段337號
三、申請人	姓 名 (名稱)	台灣積體電路製造股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹縣園區三路121號
	代 表 人 姓 名	張 忠 謀

煩請委員明示90年7月16日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

裝
訂
線

四、中文發明摘要(發明之名稱：

疊接式低電壓觸發矽控整流器
及其在積體電路之靜電放電防護上的應用

本發明中之疊接式低電壓觸發矽控整流器可包含二個或多個矽控整流器，每一個矽控整流器分別具有陽極、控制閘、及陰極，矽控整流器藉由連接同型之矽控整流器的控制閘、並藉由連接每一個矽控整流器的陰極及下一個矽控整流器之陽極、達成矽控整流器之疊接，變更矽控整流器之疊接數目，可以調整疊接式低電壓觸發矽控整流器之總開啟維持電壓(holding voltage)。靜電放電防護電路可包含保護裝置及靜電放電偵測裝置；保護裝置用以防護來自電源接點之靜電放電電流，以保護內部電路，保護裝置至少包含疊接式低電壓觸發矽控整流器；靜電放電偵測裝置則用以偵測來自電源接點之靜電放電電流，以觸發保護裝置排放靜電放電電流，調整疊接式低電壓觸發矽控整流器之疊接數目，可以避免鎖死問題的發生，因此本發明之靜電放電防護電路可以有效而安全的應用於積體電路之內而沒有鎖死問題。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

五、發明說明()

發明背景：

隨著半導體技術的快速發展，積體電路晶片上的元件密度日益提高，單一晶片上的元件數目也大幅增加，以目前的極大型積體電路(ultra large scale integration; ULSI)為例，單一晶片上的元件數目可達到數百萬個、甚至是數千萬個元件數目以上。元件密度的提高及每一元件尺寸的縮小，相對的帶來許多新的挑戰，其中之一即是積體電路晶片對靜電放電防護能力嚴重下降的問題。

在積體電路晶片完成後之運送及組裝的過程中，晶片的接腳經常會與外界環境如人體等接觸，而導致靜電由接腳進入晶片，外界環境如人體等所累積的靜電電壓可高達數百伏特至數千伏特，其瞬間的靜電放電電流會導致積體電路晶片中元件如電晶體等的受損或因大量電流通過所產生的高熱而燒毀，導致晶片可靠度的下降、壽命的減少、或是造成永久的損壞，尤其隨著元件尺寸的縮小，小尺寸元件對靜電放電電流的承受能力更形脆弱，因此在目前的積體電路中，在對外的接點處皆有靜電放電防護電路的設計，利用靜電放電防護電路將靜電引導分散至基材或是接地，以靜電放電防護電路中的元件來排放靜電放電的電流，以減少靜電放電對積體電路的損傷。

一般而言，矽控整流器(SCR)為一應用於電路之輸出/輸入接腳中，相當有效的靜電放電防護元件，矽控整流器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

於開啟狀態時能通過高電流的特性，使其成為在積體電路有限的晶片面積下、效率相當高的靜電放電防護元件。傳統的矽控整流器在應用上的缺點即是其啟始電壓高達數十伏特，導致難於應用於一般的積體電路，但隨著其結構的改良，目前在次微米(sub-micrometer)尺寸下、以互補式金氧半電晶體(complementary metal oxide semiconductor transistors; CMOS transistors)技術製造的低電壓觸發矽控整流器(low-voltage triggering lateral SCR; LVTSCR)，其啟始電壓已能降至約十伏特左右。參見第一 A 圖所示，為一低電壓觸發矽控整流器之結構示意圖，低電壓觸發矽控整流器 10 具有一陽極 10a、一控制閘 10b、及一陰極 10c。以靜電放電防護的應用為例，即可將陽極 10a 連接至一接點，而將控制閘 10b 及陰極 10c 共同接地。低電壓觸發矽控整流器 10 之電流—電壓特性曲線圖如第一 B 圖所示。由於低電壓觸發矽控整流器 10 具有低開啟維持電壓(holding voltage)的特性，使其能在遠較傳統金氧半場效電晶體(MOS)之靜電放電防護電路更小的元件面積之下，即能承受頗高的靜電放電電流。一般來說，為了防護來自除輸出/輸入接點外之其他接點的靜電放電電流，必須使用較為有效的靜電放電防護電路接於電源供應的高電位電源及低電位電源之間，以達成全晶片的對電源的靜電放電防護，因此較節省面積的低電壓觸發矽控整流器即可應用於電源供應的高電位電源及低電位電源之間，以排放靜電放電的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

電流，避免內部電路受損。

傳統應用於靜電放電防護電路中的低電壓觸發矽控整流器，因具有低的觸發電壓，極易被來自外界中過高(overshooting)或過低(undershooting)的電壓電流雜訊脈衝所觸發，因此即使積體電路在正常的操作狀況下，也可能會被意外地觸發，加上低電壓觸發矽控整流器低開啟維持電壓的特性，其開啟維持電壓僅約一伏特，低電壓觸發矽控整流器在被觸發後於輸出/輸入訊號下維持開啟狀態，導致電路訊號的鎖死(latch up)，而使正常操作的輸出/輸入訊號無法進出內部電路，使電路喪失正常功能。參見第二 A 圖所示，由輸入接點 12 進入的雜訊脈衝 Z1 即可能會觸發低電壓觸發矽控整流器 10 而使其開啟，使正常操作的輸入訊號無法進入內部電路 14；同樣的，在第二 B 圖中，由輸出接點 16 進入的雜訊脈衝 Z1 即可能會觸發低電壓觸發矽控整流器 10 而使其開啟，使內部電路 14 的輸出訊號因低電壓觸發矽控整流器 10 的導通而鎖死。

在歐盟(European Community)的 CE 標記認證測試中，須使用一靜電放電槍，釋出約八千伏特至一萬五千伏特的靜電放電，以測試電器產品的電磁相容性(electromagnetic compatibility; EMC)。這種系統靜電放電/電磁相容性測試中，電路的電源供應部分會耦合到高達數百伏特的電壓，參見第三 A 圖所示，即為系統靜電放電/電磁相容性測試的示意圖，而系統中之積體電路接點上所耦合到的靜電放電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明()

電壓在時間上的變化如第三 B 圖所示。此系統靜電放電測試下所造成的電壓脈衝很容易導致金氧半積體電路內發生所謂的鎖死現象(latch up)，尤其若積體電路中使用矽控整流器或是低電壓觸發矽控整流器做為靜電放電防護元件，矽控整流器將很容易被此類電壓脈衝所觸發而導致電路發生嚴重的鎖死問題。

因此，雖然低電壓觸發矽控整流器能以很小的面積提供有效的靜電放電防護，但鎖死問題仍使其無法安全地應用於積體電路的電源接點及輸出/輸入接點的靜電放電防護電路之中，唯有解決矽控整流器低開啟維持電壓的鎖死問題，才可能安全地應用低電壓觸發矽控整流器於積體電路中以達到高靜電放電防護能力、高可靠度及低使用面積的靜電放電防護電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

發明目的及概述：

本發明的目的為提供一種疊接式低電壓觸發矽控整流器。

本發明的目的為提供一種具有可調整開啟維持電壓(holding voltage)的疊接式低電壓觸發矽控整流器。

本發明的另一目的為提供一種靜電放電防護電路。

本發明的再一目的為提供一種使用疊接式低電壓觸發矽控整流器之靜電放電防護應用。

本發明的再一目的為提供一種使用疊接式低電壓觸發矽控整流器之靜電放電防護電路，能承受高的靜電放電電流並消除鎖死的問題。

本發明的再一目的為提供一種靜電防護電路，可在使用較小面積下大幅增加積體電路的靜電防護能力，使積體電路所能承受的靜電放電電流大為提高。

本發明中之疊接式低電壓觸發矽控整流器(cascode low-voltage triggering silicon controlled rectifier; cascode LVTSCR)可包含二個或多個矽控整流器，每一個矽控整流器分別具有陽極、控制閘、及陰極，矽控整流器藉由連接同型之矽控整流器的控制閘、並藉由連接每一個矽控整流器的陰極及下一個矽控整流器之陽極、達成矽控整流器之疊接。其中之矽控整流器可使用 N 型金氧半導體元件控制之橫向矽控整流器(NMOS-controlled lateral SCRs)或 P 型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

金氧半導體元件控制之橫向矽控整流器(PMOS-controlled lateral SCRs)。

本發明中之疊接式低電壓觸發矽控整流器可應用於電源接點之靜電放電(electrostatic discharge; ESD)防護電路之中，靜電放電防護電路包含電流排放裝置及靜電放電偵測裝置；電流排放裝置用以排放來自電源接點之靜電放電電流，以保護內部電路，電流排放裝置至少包含疊接式低電壓觸發矽控整流器；靜電放電偵測裝置則用以偵測來自電源接點之靜電放電，以觸發電流排放裝置排除靜電放電之電流。

電源接點可包含一電源及一接地點，靜電放電偵測裝置可使用時基型(timing-based)靜電放電偵測電路或電壓型偵測電路以達成偵測靜電放電之功能。疊接式低電壓觸發矽控整流器並可包含二極體連接於N型金氧半導體元件所控制之橫向矽控整流器或P型金氧半導體元件所控制之橫向矽控整流器之間。

本發明中之疊接式低電壓觸發矽控整流器亦可應用於輸入/輸出電源接點之靜電放電防護電路之中，靜電放電防護電路可包含第一電流排放裝置、第二電流排放裝置、第一靜電放電偵測裝置、及第二靜電放電偵測裝置；第一電流排放裝置用以排放來自輸出/入接點之負極性靜電放電電流，以保護內部電路，第一電流排放裝置設置於一第一電壓源及輸出/入接點之間，第一電流排放裝置至少包含疊接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

式低電壓觸發矽控整流器；第二電流排放裝置用以防護來自輸出/入接點之正極性靜電放電電流，以保護內部電路，第二電流排放裝置設置於輸出/入接點及一第二電壓源之間，第二電流排放裝置至少包含疊接式低電壓觸發矽控整流器；第一靜電放電偵測裝置用以偵測靜電放電，以觸發第一電流排放裝置以排放靜電放電電流；而第二靜電放電偵測裝置用以偵測靜電放電，以觸發第二電流排放裝置以排放靜電放電電流。

第一電壓源通常可為一正電壓源，第二電壓源則可為一接地點，第一靜電放電偵測裝置及第二靜電放電偵測裝置可使用時基型(timing-based)靜電放電偵測電路或電壓型偵測電路以達成偵測靜電放電之功能。疊接式低電壓觸發矽控整流器並可包含二極體連接於 N 型金氧半導體元件控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器之間。

圖式簡單說明：

第一 A 圖顯示傳統之低電壓觸發矽控整流器結構的示意圖。

第一 B 圖顯示傳統之低電壓觸發矽控整流器之電流－電壓特性曲線圖。

第二 A 圖顯示傳統之靜電防護電路中，由輸入接點進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

入的雜訊觸發低電壓觸發矽控整流器之示意圖。

第二 B 圖顯示傳統之靜電防護電路中，由輸出接點進入的雜訊觸發低電壓觸發矽控整流器之示意圖。

第三 A 圖顯示系統靜電放電/電磁相容性測試的示意圖。

第三 B 圖顯示系統靜電放電/電磁相容性測試中，在系統內之積體電路上的接點所耦合到的靜電放電電壓在時間上的變化圖。

第四圖顯示本發明變化低電壓觸發矽控整流器之特性以提昇開啟維持電壓之電流—電壓特性曲線圖。

第五 A 圖顯示本發明中使用 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)的 N 型疊接式低電壓觸發矽控整流器之截面示意圖。

第五 B 圖顯示本發明中使用 P 型金氧半導體元件所控制之橫向矽控整流器(PCLSCR)的 P 型疊接式低電壓觸發矽控整流器之截面示意圖。

第五 C 圖顯示本發明中混合使用 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)及 P 型金氧半導體元件所控制之橫向矽控整流器(PCLSCR)的混合型疊接式低電壓觸發矽控整流器之截面示意圖。

第六圖顯示本發明中用以測量疊接式低電壓觸發矽控整流器之電流—電壓特性之示意圖。

第七圖顯示單一個 N 型金氧半導體元件所控制之橫向

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

矽控整流器(NCLSCR)在不同閘極電壓下之電流—電壓特性圖。

第八 A 圖顯示本發明使用 N 型金氧半導體元件所控制之四個橫向矽控整流器(NCLSCR)所組成之 N 型疊接式低電壓觸發矽控整流器，在不同閘極電壓下之電流—電壓特性圖。

第八 B 圖顯示本發明中使用 N 型金氧半導體元件所控制之六個橫向矽控整流器(NCLSCR)所組成之 N 型疊接式低電壓觸發矽控整流器，在不同閘極電壓下之電流—電壓特性圖。

第九圖顯示本發明中疊接式低電壓觸發矽控整流器之開啟維持電壓，與所使用的 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)數目之關係圖。

第十 A 圖顯示本發明中使用 N 型疊接式低電壓觸發矽控整流器於電源接點之靜電放電防護電路的示意圖。

第十 B 圖顯示本發明中使用於電源接點之靜電放電防護電路，利用時基型靜電放電偵測電路的示意圖。

第十 C 圖顯示本發明中使用於電源接點之靜電放電防護電路，利用電壓型偵測電路的示意圖。

第十一圖顯示本發明中使用 P 型疊接式低電壓觸發矽控整流器於電源接點之靜電放電防護電路的示意圖。

第十二圖顯示本發明中使用混合型疊接式低電壓觸發矽控整流器於電源接點之靜電放電防護電路的示意圖。

五、發明說明()

第十三 A 圖顯示本發明中之靜電放電防護電路，使用電阻—電容延遲電路做為靜電放電偵測電路的示意圖。

第十三 B 圖顯示本發明中之靜電放電防護電路，使用開極耦合電路做為靜電放電偵測電路的示意圖。

第十四 A 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用電阻串的示意圖。

第十四 B 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用二極體串的示意圖。

第十四 C 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用 NMOS 串的示意圖。

第十四 D 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用 PMOS 串的示意圖。

第十四 E 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用曾納二極體的示意圖。

第十五 A 圖顯示本發明中之靜電放電防護電路，使用電阻—電容延遲電路做為靜電放電偵測電路的示意圖。

第十五 B 圖顯示本發明中之靜電放電防護電路，使用開極耦合電路做為靜電放電偵測電路的示意圖。

第十六 A 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用電阻串的示意圖。

第十六 B 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用二極體串的示意圖。

第十六 C 圖顯示本發明中之靜電放電防護電路，於靜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

電放電偵測電路中使用 NMOS 串的示意圖。

第十六 D 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用 PMOS 串的示意圖。

第十六 E 圖顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用曾納二極體的示意圖。

第十七圖顯示本發明中使用於輸入接點之靜電放電防護電路的示意圖。

第十八圖顯示本發明中使用於輸入接點之靜電放電防護電路，使用開極耦合電路做為靜電放電偵測電路的示意圖。

第十九圖顯示本發明中使用於輸出接點之靜電放電防護電路的示意圖。

第二十圖顯示本發明中使用於輸出接點之靜電放電防護電路，使用開極耦合電路做為靜電放電偵測電路的示意圖。

第二十一 A 圖顯示本發明中加入二極體於 N 型疊接式低電壓觸發矽控整流器之間的示意圖。

第二十一 B 圖顯示本發明中加入二極體於 P 型疊接式低電壓觸發矽控整流器之間的示意圖。

第二十一 C 圖顯示本發明中加入二極體於混合型疊接式低電壓觸發矽控整流器之間的示意圖。

第二十一 D 圖顯示本發明中加入二極體於混合型疊接式低電壓觸發矽控整流器之間，並改變連接順序的示意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

東

五、發明說明()

第二十二圖顯示本發明中使用於輸入接點之靜電放電防護電路，加入二極體於 N 型疊接式低電壓觸發矽控整流器之間及 P 型疊接式低電壓觸發矽控整流器之間的示意圖。

第二十三圖顯示本發明中使用於輸出接點之靜電放電防護電路，加入二極體於 N 型疊接式低電壓觸發矽控整流器之間及 P 型疊接式低電壓觸發矽控整流器之間的示意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

發明詳細說明：

本發明提出一種疊接式低電壓觸發矽控整流器，在維持相同的低觸發電壓下，具有較高的開啟維持電壓(holding voltage)，以避免矽控整流器在積體電路正常工作情形下發生鎖死問題，並可應用於許多不同的電路之中，本發明並提出應用此類疊接式低電壓觸發矽控整流器之靜電放電防護電路，可用於保護積體電路，防止其受到外界靜電放電之破壞。

如同發明背景中所述，在低開啟維持電壓的特性下，傳統的低電壓觸發矽控整流器在應用於靜電放電防護電路時，會有鎖死的問題。為了避免鎖死問題的發生，必須使矽控整流器具有較積體電路中之高電位(VDD)電壓源之電位為高之開啟維持電壓值。傳統所知之提昇開啟維持電壓的方法之一，即是使用雙層的保護環(guard ring)，分別環繞於低電壓觸發矽控整流器陽極及陰極區域之間，可阻隔元件內部將電位鎖定的路徑(latchup path)，而達到提高開啟維持電壓的目的。第四圖顯示提高開啟維持電壓的電流-電壓特性曲線。然而，藉由保護環提高開啟維持電壓，將導致低電壓觸發矽控整流器之功率消耗增加，進而降低其靜電放電防護的能力，而保護環的加入，必須增加元件之間的距離，因而占用更大的佈局面積，相當的不經濟。

本發明提出一 N 型疊接式低電壓觸發矽控整流器的構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

造，參見第五 A 圖中所示，為疊接式低電壓觸發矽控整流器 100 之示意圖，疊接式低電壓觸發矽控整流器 100 可使用兩個或是多個的 N 型金氧半導體元件所控制之橫向矽控整流器(NMOS-controlled lateral SCR; NCLSCR)110、112、及 114，為便於說明，以下即以「NCLSCR」表示「N 型金氧半導體元件所控制之橫向矽控整流器」，第一 NCLSCR110 具有第一陽極 110a、第一控制閘 110b、及第一陰極 110c，同樣的、第二 NCLSCR112 具有第二陽極 112a、第二控制閘 112a、及第二陰極 112c，第二 NCLSCR112 藉由連接第二陽極 112a 及第一陰極 110c、並藉由連接第一控制閘 110b 及第二控制閘 112b，以與第一 NCLSCR110 相疊接，如圖中所示。而第一陽極 110a 即作為疊接式低電壓觸發矽控整流器 100 之陽極，第二陰極 112c 則作為疊接式低電壓觸發矽控整流器 100 之陰極，更進一步的，可加入一個或更多個額外的 NCLSCR，如圖中的第三 NCLSCR114，並以相同的方式與第二 NCLSCR112 疊接。此外，疊接式低電壓觸發矽控整流器 100 中的矽控整流器可視不同的需要而使用各種不同類型的矽控整流器，亦可如第五 B 圖中所示的 P 型疊接式低電壓觸發矽控整流器 102，使用 P 型金氧半導體元件所控制之橫向矽控整流器(PMOS-controlled lateral SCR; PCLSCR)120、122、及 124，以相同的疊接方式構成 P 型疊接式低電壓觸發矽控整流器 102，以下為便於進一步說明，即以「PCLSCR」表示「P 型金氧半導體元件所控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

制之橫向矽控整流器」。

除此之外，亦可如第五 C 圖中所示，混合使用 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)116 及 118，以及 P 型金氧半導體元件所控制之橫向矽控整流器(PCLSCR)126 及 128，以交互疊接的方式構成混合型疊接式低電壓觸發矽控整流器 104，但僅由於 N 型與 P 型的開啟電壓互為反相，因此僅同型(同樣為 N 型或同樣為 P 型)的控制開共同連接，以使 N 型及 P 型的控制開分別獨立控制。

藉由此一疊接構造，第五 A 圖中的 N 型疊接式低電壓觸發矽控整流器 100 的開啟維持電壓即可提升為三個 NCLSCR110、112、及 114 的開啟維持電壓總和，因此，藉由疊接 NCLSCR 或 PCLSCR 數目的變化，即可達成調整開啟維持電壓的目的，例如疊接六個開啟維持電壓約為 1 伏特的 NCLSCR，即可將疊接式低電壓觸發矽控整流器的開啟維持電壓提昇至高於積體電路高電位(VDD)電壓源的 5 伏特，並能同時保持相同的低觸發電壓，且由於個別矽控整流器的開啟維持電壓並未改變，因此個別矽控整流器上的功率仍維持不變，其高靜電放電電流的承受能力仍舊得以維持。

利用此一特性，即可將疊接式低電壓觸發矽控整流器應用於晶片上的靜電放電防護電路之中，而不會有因雜訊意外觸發而導致鎖死的問題，因此能有效提高晶片的靜電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

放電防護能力，且能避免應用單一矽控整流器之傳統靜電放電防護電路於系統靜電放電/電磁相容性測試中發生鎖死的現象。

為便於了解疊接式低電壓觸發矽控整流器。可以如第六圖所示的測試系統，來測試如第五 A 圖中使用多個 NCLSCR 的疊接式低電壓觸發矽控整流器 100，其中單一個 NCLSCR，在不同控制開電壓下的電流—電壓特性曲線如第七圖中所示，當控制開電壓增加時，其觸發點亦隨之下降，而其開啟維持電壓，如圖中之實線所示，僅約為 0.99 伏特，遠小於一般積體電路高電位(VDD)電壓源的 5 伏特，因此在系統靜電放電/電磁相容性或高溫高電壓下之可靠度測試中極易被觸發而導致系統運作的錯誤。

以使用四個 NCLSCR 的 N 型疊接式低電壓觸發矽控整流器為例，其在不同控制開電壓下的電流—電壓特性曲線如第八 A 圖中所示，而使用六個 NCLSCR 的 N 型疊接式低電壓觸發矽控整流器、在不同控制開電壓下的電流—電壓特性曲線則如第八 B 圖中所示。在一為正極性的控制開電壓下，N 型疊接式低電壓觸發矽控整流器可以被觸發至其開啟維持區域。如第八 A 圖中所示，使用四個 NCLSCR 的開啟維持電壓約為 3.82 伏特，而使用六個 NCLSCR 的開啟維持電壓則約為 5.52 伏特，開啟維持電壓及電流、與 N 型疊接式低電壓觸發矽控整流器中所使用的 NCLSCR 數目之間的關係則顯示於第九圖，開啟維持電流(holding current)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明()

僅會隨著所使用的 NCLSCR 數目的增加而僅有些微的上升，而開啟維持電壓(holding voltage)則會隨著所使用的 NCLSCR 數目的增加而呈現正比上升的情形。因此，使用四個 NCLSCR 的 N 型疊接式低電壓觸發矽控整流器具有 3.82 伏特的開啟維持電壓，即可應用於高電位(VDD)電壓源為 3 伏特的積體電路之靜電放電防護電路中；而使用六個 NCLSCR 的疊接式低電壓觸發矽控整流器則具有 5.52 伏特的開啟維持電壓，即可應用於高電位(VDD)電壓源為 5 伏特的積體電路之靜電放電防護電路之中；可藉此消除因雜訊意外觸發而導致鎖死的問題，而使本發明的疊接式低電壓觸發矽控整流器能夠絕對安全地應用於積體電路之靜電放電防護電路上。

同樣的，藉由疊接多個 PCLSCR，亦可得到近似的電流—電壓特性曲線，P 型疊接式低電壓觸發矽控整流器的開啟維持電壓則同樣可由所使用 PCLSCR 之數目加以調整，即可適用於各種不同工作電壓的應用。

利用本發明中疊接式低電壓觸發矽控整流器之低開啟維持電壓及低功率消耗的特性，可將其應用於積體電路中電源端或電源接點的靜電放電防護的電路之中，參見第十 A 圖中所示，靜電放電防護電路 200 包含電流排放裝置 202 及靜電放電偵測裝置 204，一般來說，電源接點至少可包含高電位(VDD)電源 201a 及低電位(VSS)電源 201b，低電位(VSS)電源 201b 通常可為一接地點；電流排放裝置 202

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明()

用以排放靜電放電電流，以保護內部電路 205 避免受到靜電放電的破壞，電流排放裝置 202 可使用疊接式低電壓觸發矽控整流器來實現，例如第十 A 圖中所示的 N 型疊接式低電壓觸發矽控整流器，具有數個 NCLSCR 元件 (NCLSCR1、NCLSCR2、至 NCLSCRn)。本例中之 N 型疊接式低電壓觸發矽控整流器 202 以陽極及陰極連接於高電位 (VDD) 電源 201a 及低電位 (VSS) 電源 201b 之間；靜電放電偵測裝置 204 用以偵測來自電源接點 201a 及 201b 之靜電放電，以觸發電流排放裝置 202 排放靜電放電電流，以保護內部電路 205。

靜電放電偵測裝置 204 可使用如第十 B 圖所示的時基型 (timing-based) 靜電放電偵測電路 204t，以偵測靜電放電，當時基型 (timing-based) 靜電放電偵測電路 204t 偵測到短時間之快速電壓變化時，即可判定為靜電放電而觸發電流排放裝置 202 以排除靜電放電電流；靜電放電偵測裝置 204 亦可使用如第十 C 圖所示的電壓型偵測電路 204v，可藉由分壓功能，當偵測到足夠高的電壓時，即會以適當的控制開電壓來開啟 N 型疊接式低電壓觸發矽控整流器 202a。

電流排放裝置 202 亦可使用疊接數個 PCLSCR 元件 (PCLSCR1、PCLSCR2、至 PCLSCRn) 的 P 型疊接式低電壓觸發矽控整流器 202b，如第十一圖中所示。由於 PCLSCR 與 NCLSCR 控制閘的開啟電壓互為反相，因此於 PCLSCR

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明()

的控制開前需加入反相裝置或反相電路 206，以將來自靜電放電偵測裝置 204 的訊號加以反相，並用以觸發 PCLSCR 的開啟。電流排放裝置 202 亦可用混合型低電壓觸發矽控整流器來實現，混合使用疊接數個 PCLSCR 及數個 NCLSCR (NCLSCR1、PCLSCR2、NCLSCR3、至 PCLSCRn)，可組成混合型疊接式低電壓觸發矽控整流器 202c，如第十二圖中所示，同樣的並加入反相電路 206 於 PCLSCR 的控制開前，以將來自靜電放電偵測裝置 204 的訊號加以反相。

參見第十三 A 圖所示，時基型靜電放電偵測電路可使用電阻—電容延遲電路 204a，以控制疊接式低電壓觸發矽控整流器 202 的開啟；時基型靜電放電偵測電路亦可使用開極耦合電路 204b，如第十三 B 圖所示。

參見第十四 A 圖所示，電壓型偵測電路可使用數個電阻 204c 來構成分壓的功能，同樣的，電壓型偵測電路可如第十四 B 圖利用二極體的電壓型偵測電路 204d，或如第十四 C 圖利用 N 型金氧半場效電晶體 (NMOS) 的電壓型偵測電路 204e，或是如第十四 D 圖利用 P 型金氧半場效電晶體 (PMOS) 的電壓型偵測電路 204f，亦可使用如第十四 E 圖利用曾納二極體 (Zener diode) 的電壓型偵測電路 204g，其眾多等同的實施方式與其應用之細節為熟知此領域技藝者所熟知者，即不多做介紹。

利用如第十 A 圖到第十 C 圖所示的靜電放電偵測電路 204，當一般的雜訊進入高電位 (VDD) 電源 201a 及低電位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

(VSS)電源 201b 時，若此雜訊使疊接式低電壓觸發矽控整流器 202 開啟，則過高的雜訊便會經由疊接式低電壓觸發矽控整流器而排放掉，當 VDD 電位回復到正常電壓準位時，由於疊接式低電壓觸發矽控整流器之開啟維時電壓大於 VDD 的電壓準位，因此疊接式低電壓觸發矽控整流器 202 便會自動關閉，不會造成所謂的鎖死問題。但是當靜電放電電流進入時，偵測電路 204 會使疊接式低電壓觸發矽控整流器 202 開啟以排放靜電放電的電流，因而有效的保護內部電路 205。

同樣的，參見第十五 A 圖所示，於使用 PCLSCR 的 P 型疊接式低電壓觸發矽控整流器 202b 之中，時基型靜電放電偵測電路可使用電阻—電容延遲電路 204h，以控制 P 型疊接式低電壓觸發矽控整流器 202b 的開啟；時基型靜電放電偵測電路亦可使用開極耦合電路 204i，如第十五 B 圖所示；由於 PCLSCR 與 NCLSCR 控制閘的開啟電壓互為反相，因此於 PCLSCR 的控制閘需可加入反相裝置或反相電路 206，如第十五 A 圖及第十五 B 圖所示。

參見第十六 A 圖所示，電壓型偵測電路可使用數個電阻 204j 來構成分壓的功能，同樣的，電壓型偵測電路可如第十六 B 圖利用二極體的電壓型偵測電路 204k，或如第十六 C 圖利用 N 型金氧半場效電晶體(NMOS)的電壓型偵測電路 204L，或是如第十六 D 圖利用 P 型金氧半場效電晶體(PMOS)的電壓型偵測電路 204m，亦可使用如第十六 E

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

圖利用曾納二極體(Zener diode)的電壓型偵測電路 204n，其眾多等同的實施方式之細節即不多做介紹。同樣的，由於 PCLSCR 與 NCLSCR 控制閘的開啟電壓互為反相，因此於 PCLSCR 的控制閘前需加入反相裝置或反相電路 206，如第十六 A 圖至第十六 E 圖所示。

本發明中的疊接式低電壓觸發矽控整流器，亦可應用於積體電路之輸出/輸入接點的靜電放電防護電路之中，參見第十七圖所示，為本發明應用於輸入接點之靜電放電防護電路，第一電流排放裝置 210，用以排放來自輸入接點 214 之負極性靜電放電電流，第一電流排放裝置 210 設置於第一電壓源 216 及輸入接點 214 之間；第二電流排放裝置 220，用以排放來自輸入接點 214 之正極性靜電放電電流，第二電流排放裝置 220 設置於輸入接點 214 及第二電壓源 218 之間；並有第一靜電放電偵測裝置 222，用以偵測靜電放電，以觸發第一電流排放裝置 210 以排除靜電放電電流；以及第二靜電放電偵測裝置 224，用以偵測靜電放電，以觸發第二電流排放裝置 220 排除靜電放電電流。因此，內部電路 212 便得以被充分的保護著。

第一電流排放裝置 210 可使用 P 型疊接式低電壓觸發矽控整流器，以陽極及陰極連接於第一電壓源 216 及輸入接點 214 之間；第二電流排放裝置 220 則可使用 N 型疊接式低電壓觸發矽控整流器，以陽極及陰極連接於輸入接點 214 及第二電壓源 218 之間。一般而言，第一電壓源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

(VDD)216 為一較第二電壓源(VSS)218 為高之電壓源，在常見的應用之中，第二電壓源(VSS)218 可為一接地點。

更進一步的，類似應用於電源接點的靜電放電偵測裝置，第一靜電放電偵測裝置 222 及第二靜電放電偵測裝置 224 可使用時基型(timing-based)靜電放電偵測電路或電壓型偵測電路，參見第十八圖所示，為使用開極耦合電路做為第一靜電放電偵測裝置 222 及第二靜電放電偵測裝置 224 之一例。藉由上述的靜電放電防護電路，由輸入接點 214 進入的靜電放電電流可藉由第一電流排放裝置 210 及第二電流排放裝置 220 而排放掉，因而不會使內部電路 212 受到破壞，並由於本發明中疊接式低電壓觸發矽控整流器高開啟維持電壓的特性，可完全解決傳統靜電放電防護電路中易因雜訊影響而導致鎖死的問題。

以相同的設計概念與精神，疊接式低電壓觸發矽控整流器可應用於積體電路之輸出接點的靜電放電防護電路上，參見第十九圖所示，第一電流排放裝置 230，用以排放來自輸出接點 234 之負極性靜電放電電流，第一電流排放裝置 230 設置於第一電壓源 216 及輸出接點 234 之間；第二電流排放裝置 236，用以排放來自輸出接點 234 之正極性靜電放電電流，第二電流排放裝置 236 設置於輸出接點 234 及第二電壓源 218 之間；並有第一靜電放電偵測裝置 222，用以偵測靜電放電，以觸發第一電流排放裝置 230 以排放靜電放電電流；以及第二靜電放電偵測裝置 224，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

用以偵測靜電放電，以觸發第二電流排放裝置 236 以排放靜電放電電流。

第一電流排放裝置 230 可使用 P 型疊接式低電壓觸發矽控整流器，以陽極及陰極連接於第一電壓源 216 及輸出接點 234 之間；第二電流排放裝置 236 則可使用 N 型疊接式低電壓觸發矽控整流器，以陽極及陰極連接於輸出接點 234 及第二電壓源 218 之間。

第一靜電放電偵測裝置 222 及第二靜電放電偵測裝置 224 之實施則與應用於輸入接點 214 之靜電放電防護電路相同，可使用時基型(timing-based)靜電放電偵測電路或電壓型偵測電路，參見第二十圖所示，為使用閘極耦合電路做為第一靜電放電偵測裝置 222 及第二靜電放電偵測裝置 224 之一例。藉由上述的靜電放電防護電路，由輸出接點 234 進入的靜電放電電流可藉由第一電流排放裝置 230 及第二電流排放裝置 236 而排放掉，因而不會使內部電路 232 受到破壞，並由於本發明疊接式低電壓觸發矽控整流器高開啟維持電壓的特性，可完全解決傳統靜電放電防護電路中易因雜訊影響而導致鎖死的問題。

此外，在使用於電源接點的靜電放電防護電路中，疊接式低電壓觸發矽控整流器之實施，可包含使用二極體於疊接的 NCLSCR 或 PCLSCR 之間，參見第二十一 A 圖所示，即是分別加入二極體 D1、D2 到 Dn 於 NCLSCR1、NCLSCR2、至 NCLSCRn 之間；同樣的，二極體 D1、D2 到 Dn 亦可分

五、發明說明()

別加入於 PCLSCR1、PCLSCR2、至 PCLSCRn 之間，如第二十一 B 圖所示；而在使用混合型疊接式低電壓觸發矽控整流器中，二極體 D1、D2 到 Dn 亦可分別加入於 NCLSCR1、PCLSCR2、至 PCLSCRn 之間，如第二十一 C 圖所示；第二十一 D 圖則顯示將 NCLSCR 及 PCLSCR 之順序互調，並分別加入二極體 D1、D2 到 Dn 於 PCLSCR1、NCLSCR2、至 NCLSCRn 之間的實施例。

在使用於輸入/輸出接點的靜電放電防護電路中，疊接式低電壓觸發矽控整流器之實施，同樣可包含使用二極體於疊接的 NCLSCR 或 PCLSCR 之間。參見第二十二圖所示，即是在輸入接點 214 之靜電放電防護電路，分別加入二極體 Dp1、Dp2 於第一電流排放裝置的 PCLSCR1、PCLSCR2、及 PCLSCR3 之中，以及分別加入二極體 Dn1、Dn2 於第二電流排放裝置的 NCLSCR1、NCLSCR2、及 NCLSCR3 之中。參見第二十三圖所示，即是在輸出接點 234 之靜電放電防護電路，分別加入二極體 Dp1、Dp2 於第一電流排放裝置的 PCLSCR1、PCLSCR2、及 PCLSCR3 之中，以及分別加入二極體 Dn1、Dn2 於第二電流排放裝置的 NCLSCR1、NCLSCR2、及 NCLSCR3 之中。

本發明中揭露一種疊接式低電壓觸發矽控整流器，具有可線性調整的開啟維持電壓，並可進一步應用於靜電放電防護的電路之中，利用其開啟維持電壓(holding voltage)較 VDD 電源電壓準位為高的特性，可避免輸入/輸出訊號

五、發明說明()

鎖死的問題。藉由矽控整流器能夠通過高電流的特性，可使積體電路對靜電放電的防護能力大幅提昇，且佔用更小的元件佈局面積。

本發明以一較佳實施例說明如上，僅用於藉以幫助了解本發明之實施，非用以限定本發明之精神，而熟悉此領域技藝者於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及等同之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

4. 如申請專利範圍第 3 項之疊接式低電壓觸發矽控整流器，其中上述之該至少二個矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器。

5. 一種靜電放電 (electrostatic discharge; ESD) 防護電路，該靜電放電防護電路至少包含：

電流排放裝置，用以排放來自電源接點之靜電放電電流，以保護內部電路，該電流排放裝置至少包含疊接式低電壓觸發矽控整流器；及

靜電放電偵測裝置，用以偵測來自該電源接點之靜電放電，以觸發該電流排放裝置以排除靜電放電電流。

6. 如申請專利範圍第 5 項之靜電放電防護電路，其中上述之電源接點至少包含一電源及一接地點。

7. 如申請專利範圍第 5 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並藉由連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

橫向矽控整流器。

8. 如申請專利範圍第 7 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該 N 型金氧半導體元件所控制之橫向矽控整流器或該 P 型金氧半導體元件所控制之橫向矽控整流器之間。

9. 如申請專利範圍第 7 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含使用一反相電路於該 P 型金氧半導體元件所控制之橫向矽控整流器之控制開。

10. 如申請專利範圍第 5 項之靜電放電防護電路，其中上述之靜電放電偵測裝置至少包含時基型(timing-based)靜電放電偵測電路。

11. 如申請專利範圍第 10 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含電阻—電容延遲電路。

12. 如申請專利範圍第 10 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含開極耦合電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

13. 如申請專利範圍第 5 項之靜電放電防護電路，其中上述之靜電放電偵測裝置至少包含一電壓型偵測電路以達成分壓功能。

14. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

15. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

16. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 N 型金氧半場效電晶體 (NMOS)。

17. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 P 型金氧半場效電晶體 (PMOS)。

18. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體 (Zener diode)。

19. 一種靜電放電防護電路，該靜電放電防護電路至少包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第一電流排放裝置，用以排放來自輸出/入接點之負極性靜電放電電流，以保護內部電路，該第一電流排放裝置設置於一第一電壓源及該輸出/入接點之間，該第一電流排放裝置至少包含疊接式低電壓觸發矽控整流器；

第二電流排放裝置，用以排放來自該輸出/入接點之正極性靜電放電電流，以保護該內部電路，該第二電流排放裝置設置於該輸出/入接點及一第二電壓源之間，該第二電流排放裝置至少包含疊接式低電壓觸發矽控整流器；

第一靜電放電偵測裝置，用以偵測靜電放電，以觸發該第一電流排放裝置以排除靜電放電電流；及

第二靜電放電偵測裝置，用以偵測靜電放電，以觸發該第二電流排放裝置以排除靜電放電電流。

20. 如申請專利範圍第 19 項之靜電放電防護電路，其中上述之第一電壓源為一正電壓源，上述之第二電壓源為一接地點。

21. 如申請專利範圍第 19 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並藉由連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用 N 型金氧半導體元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器。

22. 如申請專利範圍第 21 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該 N 型金氧半導體元件所控制之橫向矽控整流器或該 P 型金氧半導體元件所控制之橫向矽控整流器之間。

23. 如申請專利範圍第 21 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含使用一反相電路於該 P 型金氧半導體元件所控制之橫向矽控整流器之控制開。

24. 如申請專利範圍第 19 項之靜電放電防護電路，其中上述之第一靜電放電偵測裝置及上述之第二靜電放電偵測裝置至少包含時基型靜電放電偵測電路。

25. 如申請專利範圍第 24 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含電阻—電容延遲電路。

26. 如申請專利範圍第 24 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含開極耦合電路。

六、申請專利範圍

27. 如申請專利範圍第 19 項之靜電放電防護電路，其中上述之第一靜電放電偵測裝置及上述之第二靜電放電偵測裝置至少包含一電壓型偵測電路以達成分壓功能。

28. 如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

29. 如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

30. 如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 N 型金氧半場效電晶體 (NMOS)。

31. 如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 P 型金氧半場效電晶體 (PMOS)。

32. 如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體 (Zener diode)。

33. 一種靜電放電防護電路，該靜電放電防護電路至少

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

包含：

疊接式低電壓觸發矽控整流器，該疊接式低電壓觸發矽控整流器以陽極及陰極連接於一組電源間；及

靜電放電偵測電路，該靜電放電偵測電路設置於該電源間，用以偵測靜電放電，以觸發該疊接式低電壓觸發矽控整流器用以排除靜電放電電流。

34. 如申請專利範圍第 33 項之靜電放電防護電路，其中上述之電源至少包含一電源及一接地點。

35. 如申請專利範圍第 33 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器。

36. 如申請專利範圍第 35 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該 N 型金氧半導體元件所控制之橫向矽控整流器或該 P 型金氧半導體元件所控制之橫向矽控整流器之間。

六、申請專利範圍

37. 如申請專利範圍第 35 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含使用一反相電路於該 P 型金氧半導體元件所控制之橫向矽控整流器之控制間。

38. 如申請專利範圍第 33 項之靜電放電防護電路，其中上述之靜電放電偵測電路至少包含時基型靜電放電偵測電路。

39. 如申請專利範圍第 38 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含電阻—電容延遲電路。

40. 如申請專利範圍第 38 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含開極耦合電路。

41. 如申請專利範圍第 33 項之靜電放電防護電路，其中上述之靜電放電偵測電路至少包含一電壓型偵測電路以達成分壓功能。

42. 如申請專利範圍第 41 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

43. 如申請專利範圍第 41 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

44. 如申請專利範圍第 41 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 N 型金氧半場效電晶體 (NMOS)。

45. 如申請專利範圍第 41 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 P 型金氧半場效電晶體 (PMOS)。

46. 如申請專利範圍第 41 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體 (Zener diode)。

47. 一種靜電放電防護電路，該靜電放電防護電路至少包含：

第一疊接式低電壓觸發矽控整流器，用以排放來自輸出/入接點之負極性靜電放電電流，以保護內部電路，該第一疊接式低電壓觸發矽控整流器以陽極及陰極連接於一第一電壓源及該輸出/入接點之間；

第二疊接式低電壓觸發矽控整流器，用以排放來自輸出/入接點之正極性靜電放電電流，以保護內部電路，該第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

二疊接式低電壓觸發矽控整流器以陽極及陰極連接於該輸出/入接點及一第二電壓源之間；

第一靜電放電偵測電路，設置於該第一電壓源及該輸出/入接點之間，用以偵測負極性靜電放電，以觸發該第一疊接式低電壓觸發矽控整流器以排除負極性靜電放電電流；及

第二靜電放電偵測電路，設置於該輸出/入接點及該第二電壓源之間，用以偵測正極性靜電放電，以觸發該第二疊接式低電壓觸發矽控整流器以排除正極性靜電放電電流。

48. 如申請專利範圍第 47 項之靜電放電防護電路，其中上述之第一電壓源之電壓較上述之第二電壓源高。

49. 如申請專利範圍第 47 項之靜電放電防護電路，其中上述之第一疊接式低電壓觸發矽控整流器及上述之第二疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並藉由連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器。

六、申請專利範圍

50. 如申請專利範圍第 49 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該 N 型金氧半導體元件所控制之橫向矽控整流器或該 P 型金氧半導體元件所控制之橫向矽控整流器之間。

51. 如申請專利範圍第 49 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含使用一反相電路於該 P 型金氧半導體元件所控制之橫向矽控整流器之控制端。

52. 如申請專利範圍第 47 項之靜電放電防護電路，其中上述之第一靜電放電偵測電路及上述之第二靜電放電偵測電路至少包含時基型靜電放電偵測電路。

53. 如申請專利範圍第 52 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含電阻—電容延遲電路。

54. 如申請專利範圍第 52 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含開極耦合電路。

55. 如申請專利範圍第 47 項之靜電放電防護電路，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

中上述之第一靜電放電偵測電路及上述之第二靜電放電偵測電路至少包含一電壓型偵測電路以達成分壓功能。

56. 如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

57. 如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

58. 如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 N 型金氧半場效電晶體 (NMOS)。

59. 如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 P 型金氧半場效電晶體 (PMOS)。

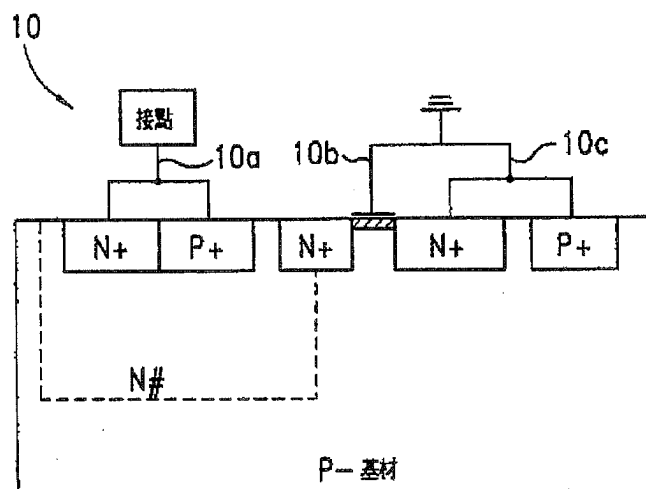
60. 如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體 (Zener diode)。

(請先閱讀背面之注意事項再填寫本頁)

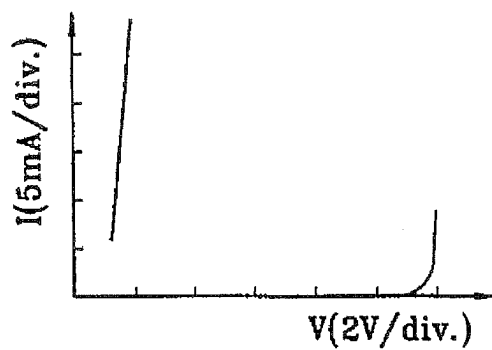
裝

訂

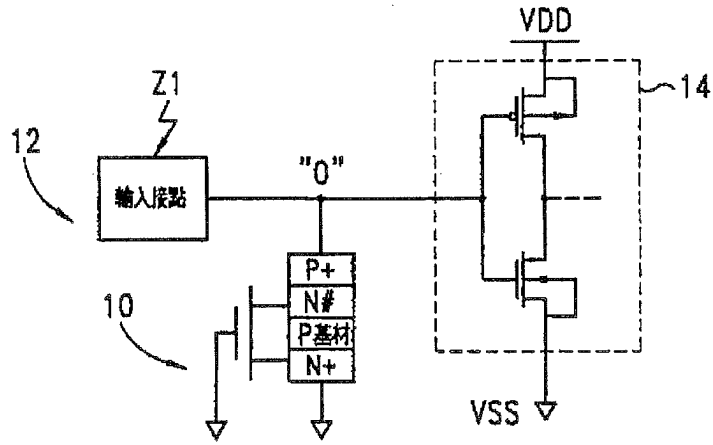
線



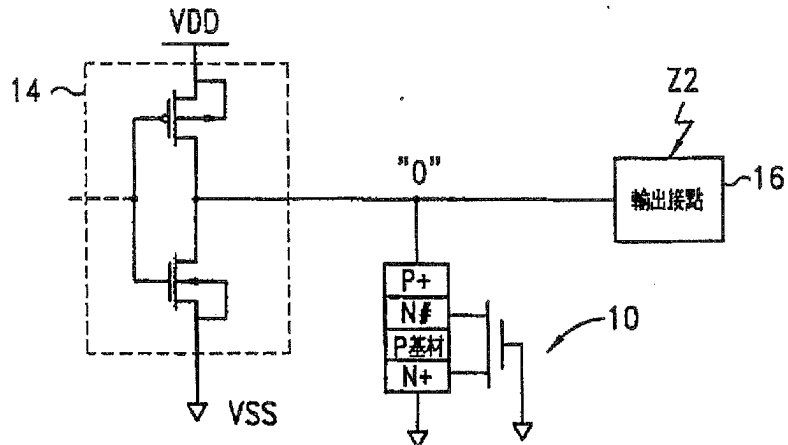
第一A圖



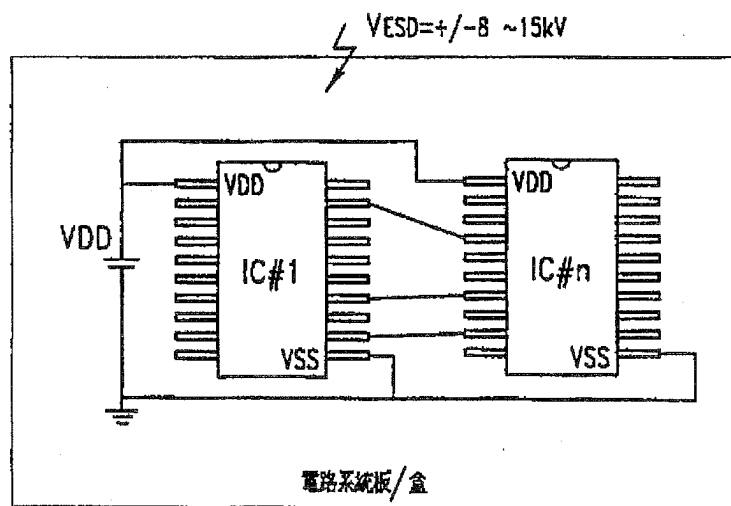
第一B圖



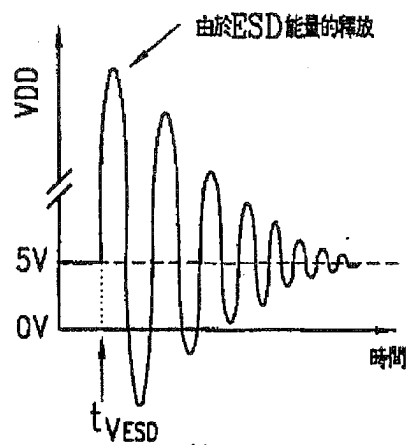
第二A圖



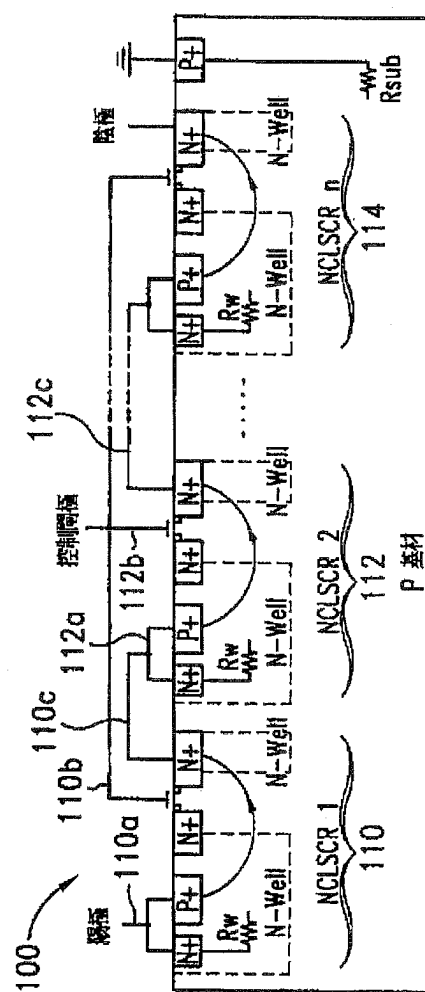
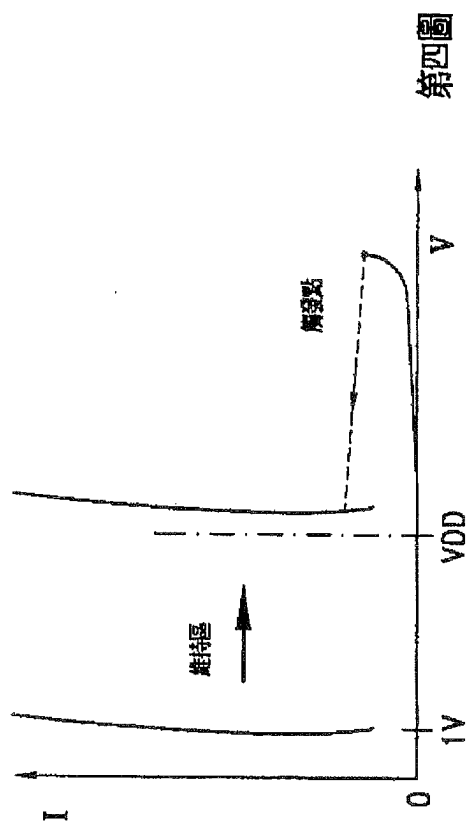
第二B圖

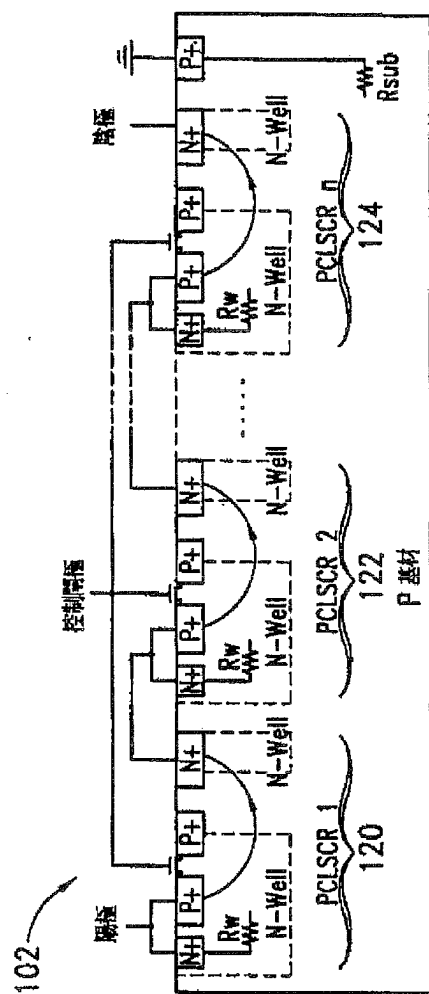


第三A圖

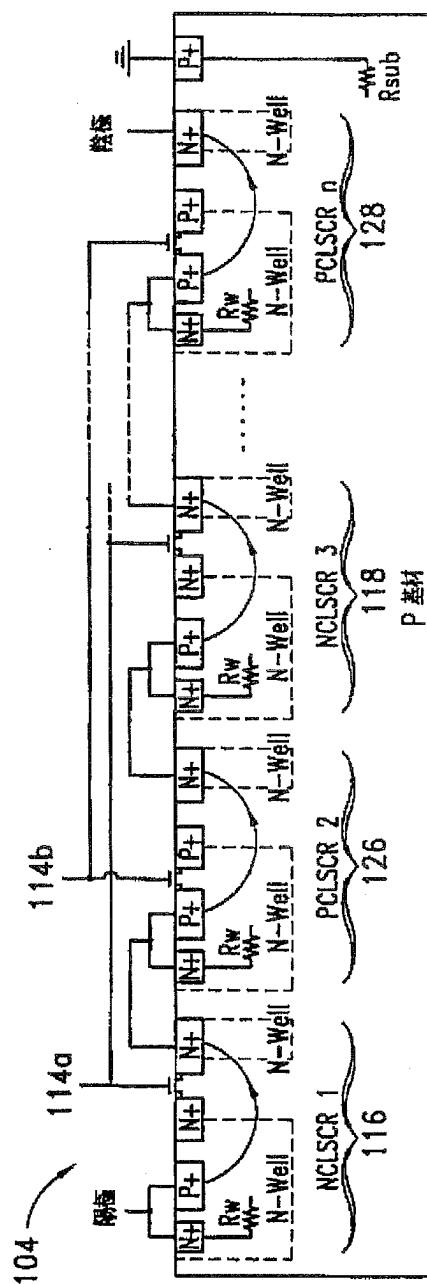


第三B圖

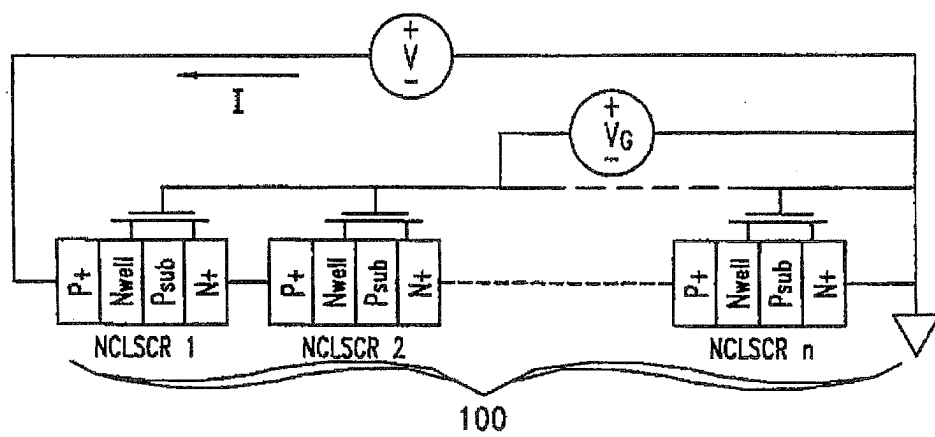




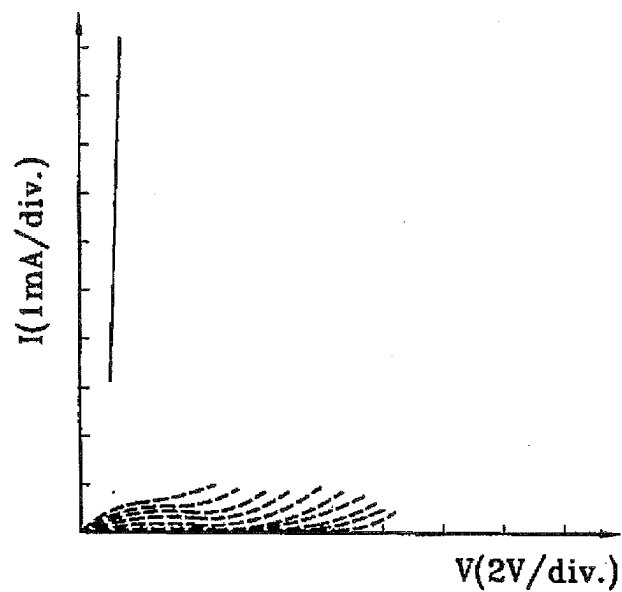
第五B圖



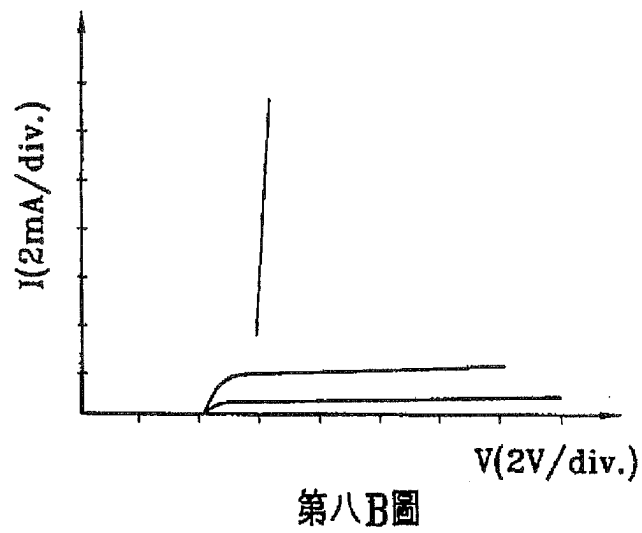
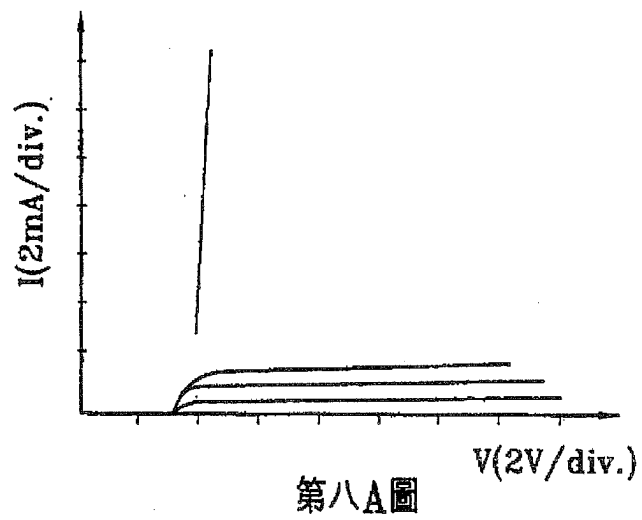
第五C圖

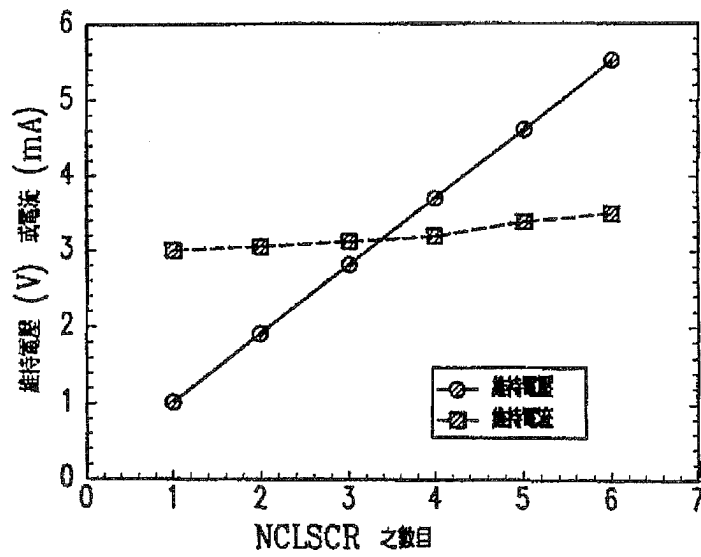


第六圖

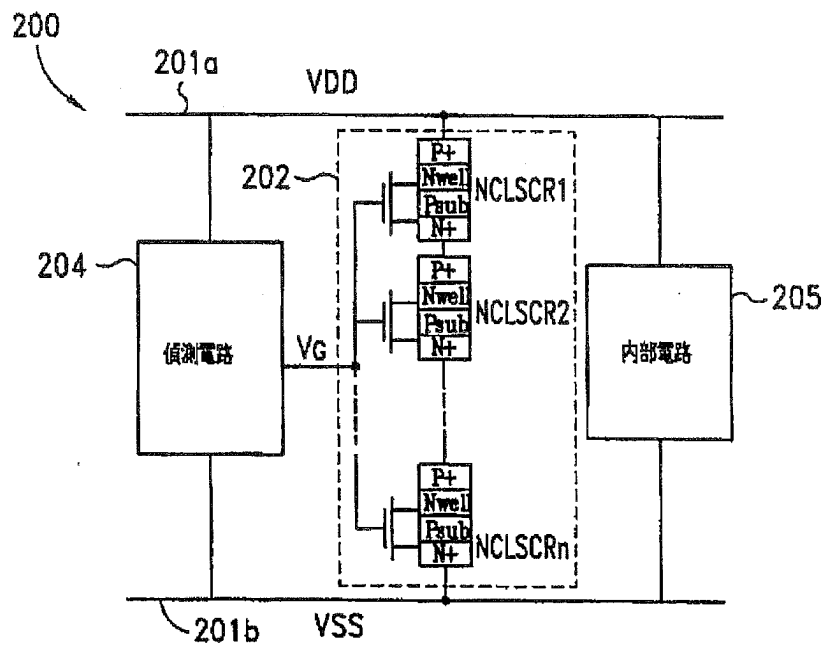


第七圖

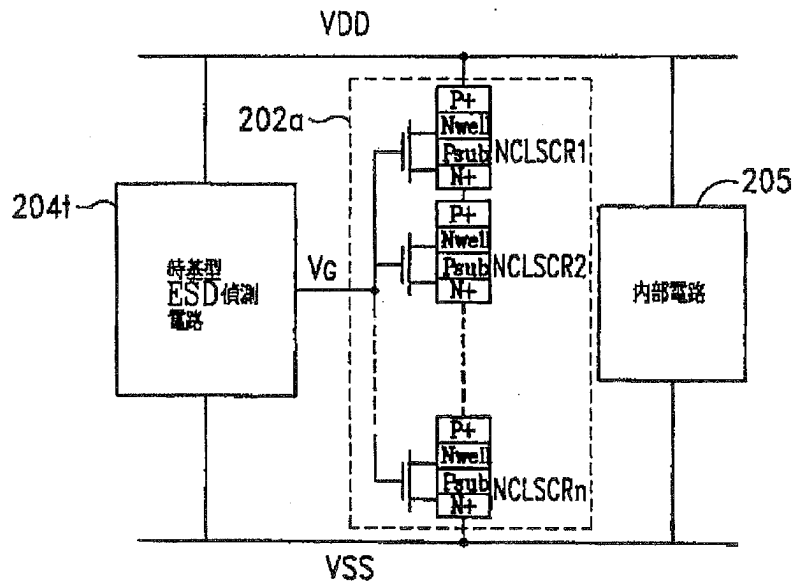




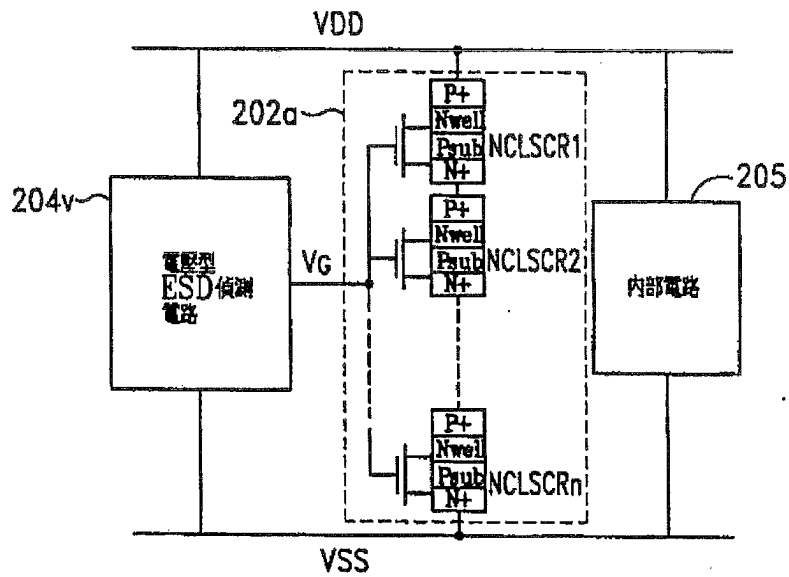
第九圖



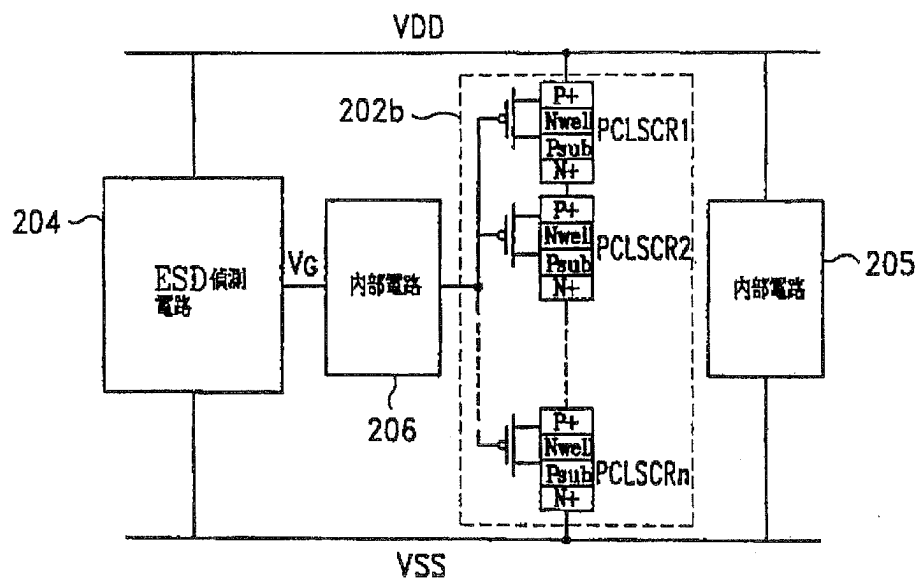
第十 A圖



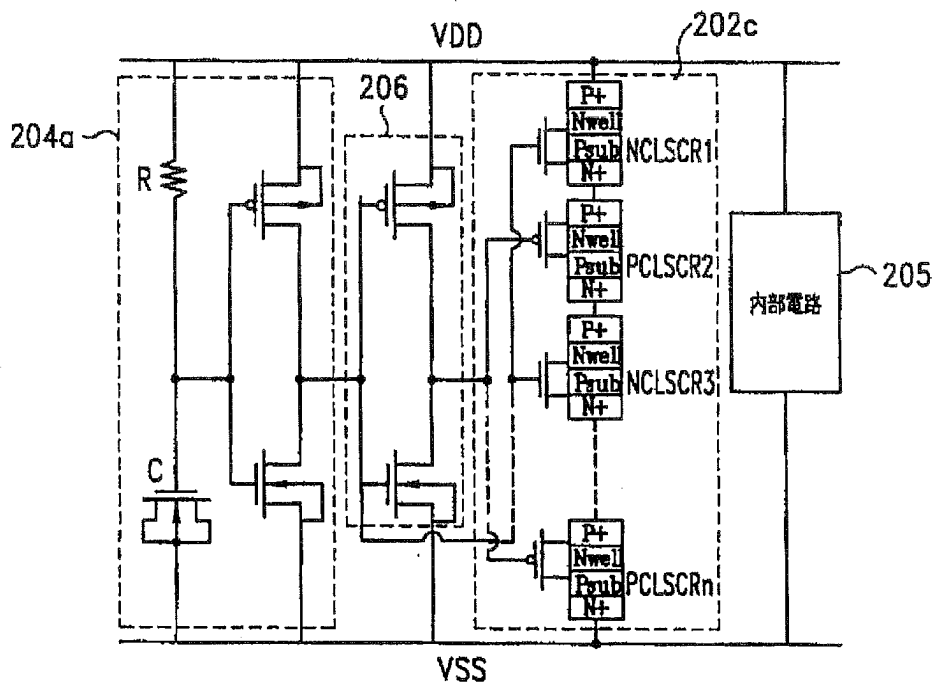
第十 B圖



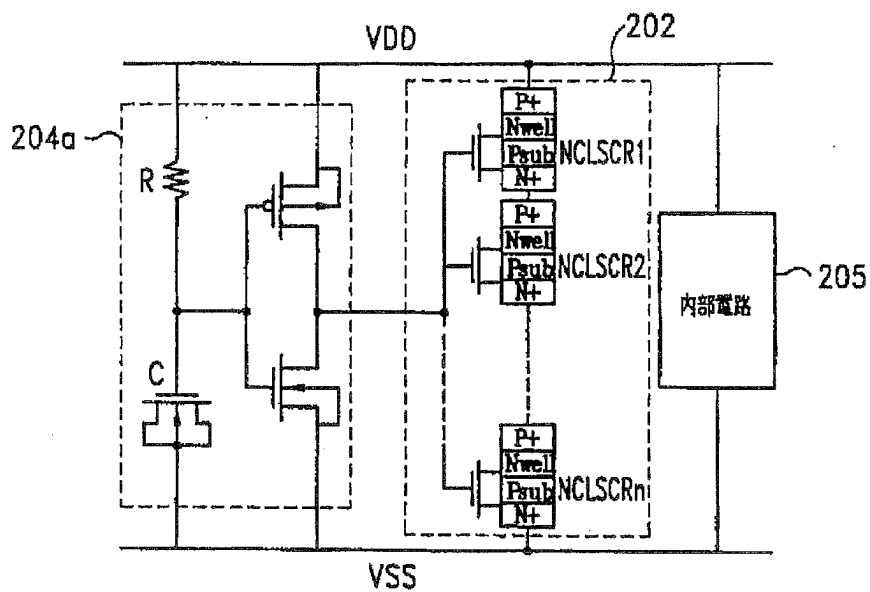
第十 C圖



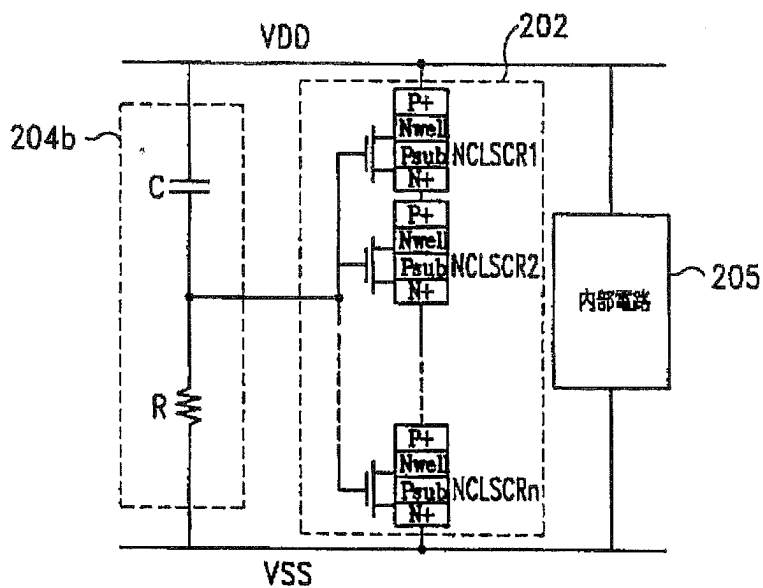
第十一圖



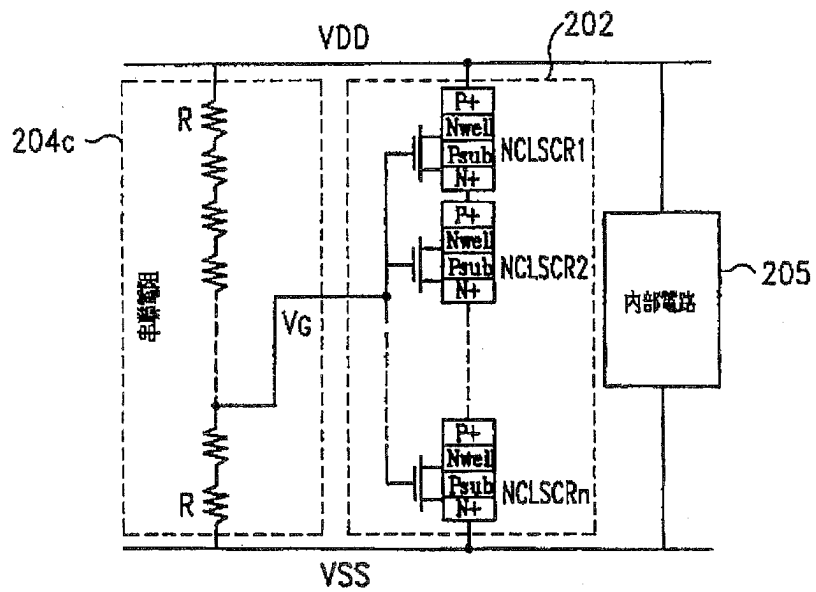
第十二圖



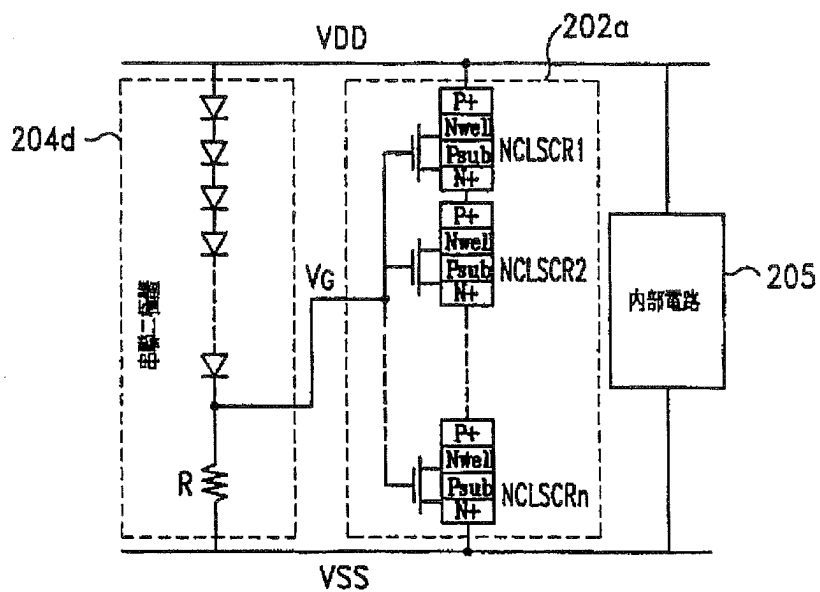
第十三 A圖



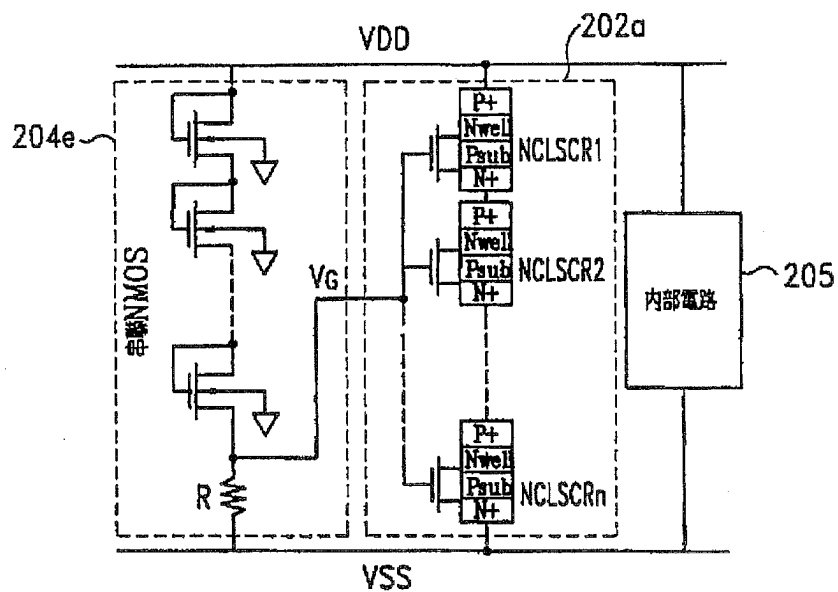
第十三 B圖



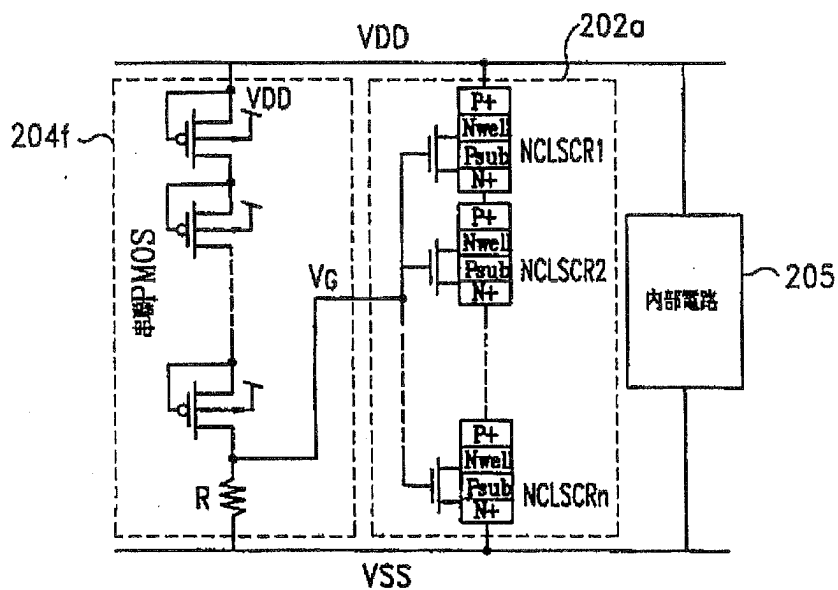
第十四 A圖



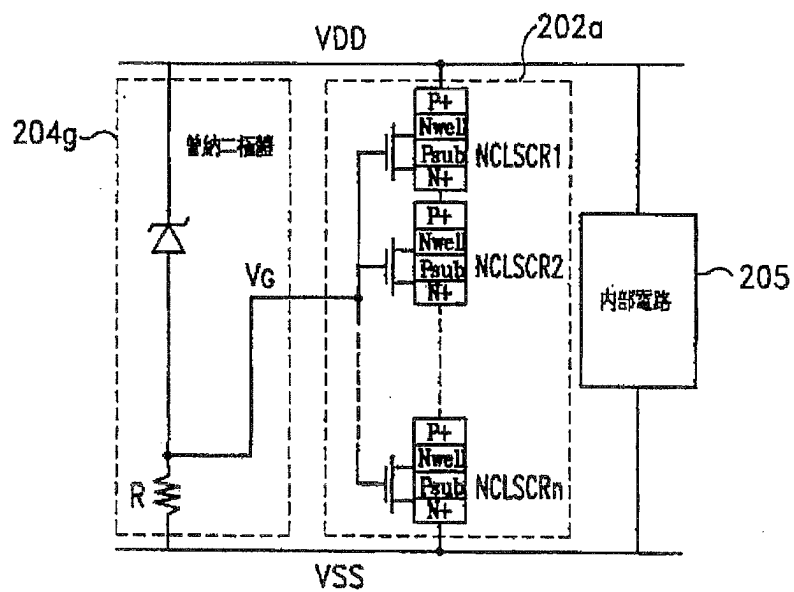
第十四 B圖



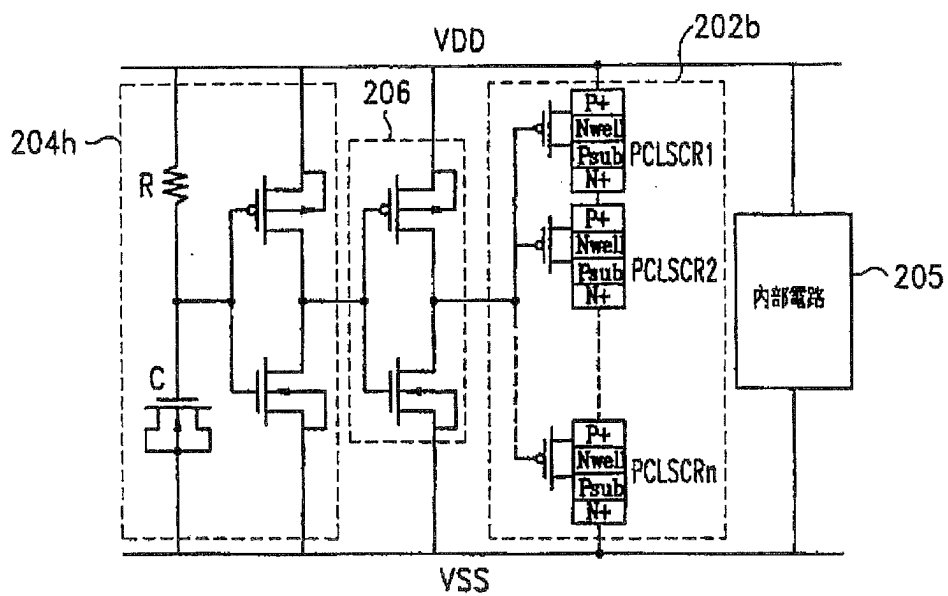
第十四 C圖



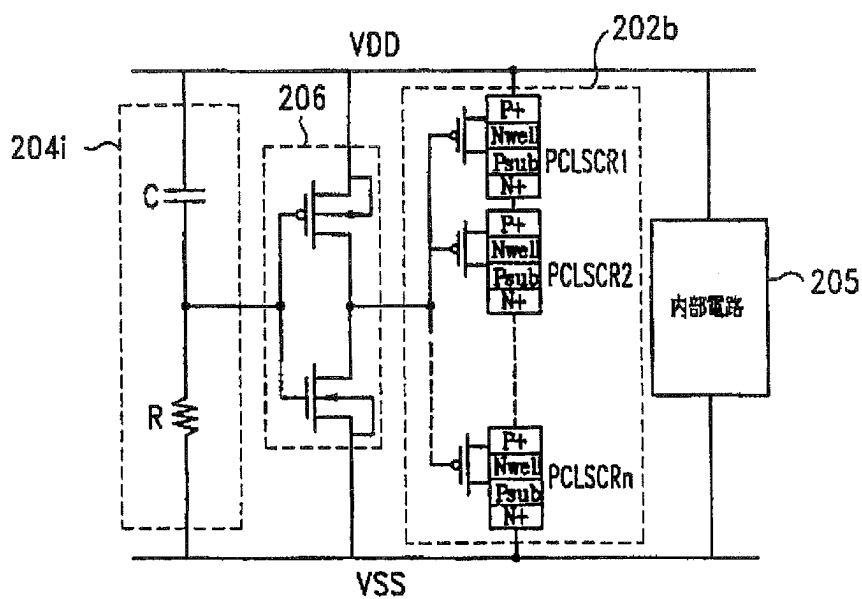
第十四 D圖



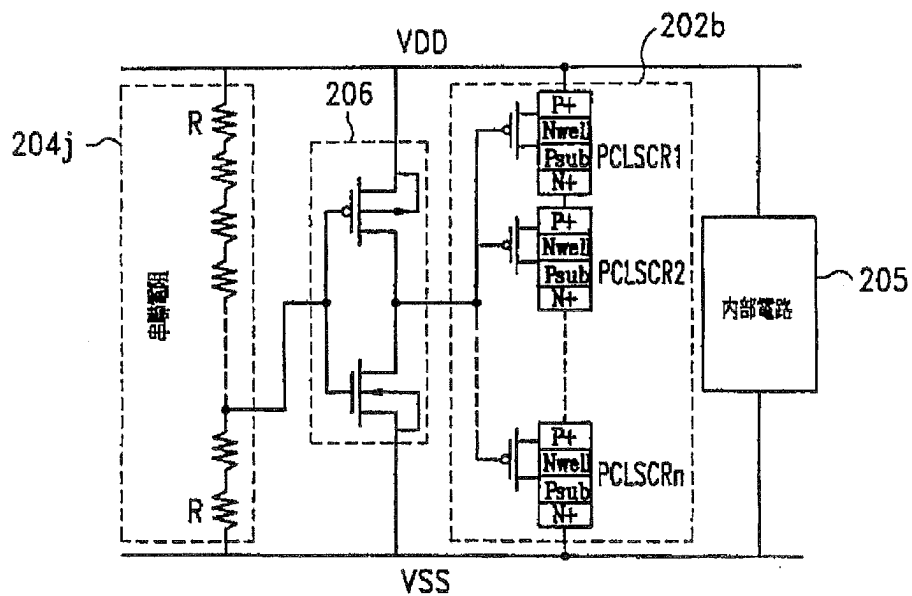
第十四圖



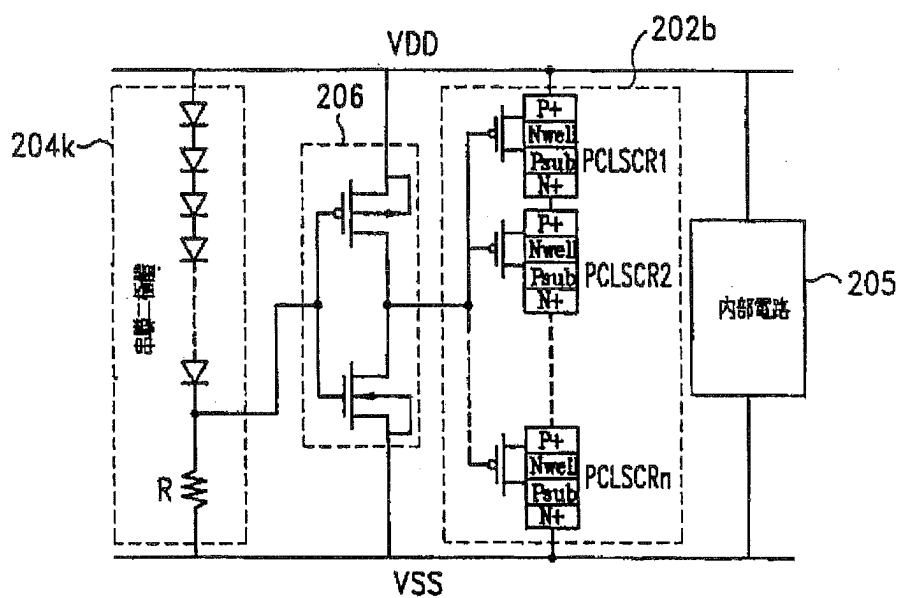
第十五A圖



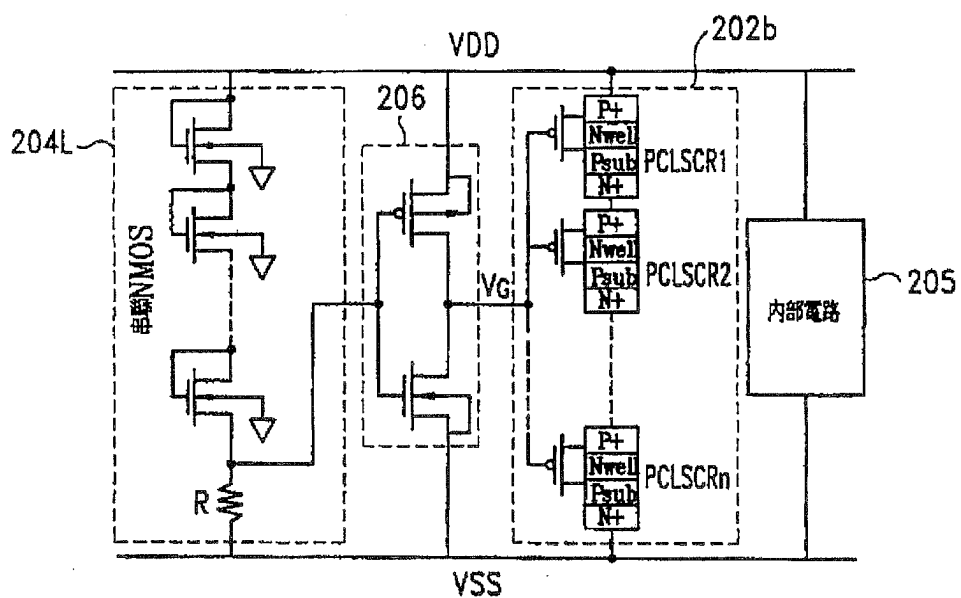
第十五B圖



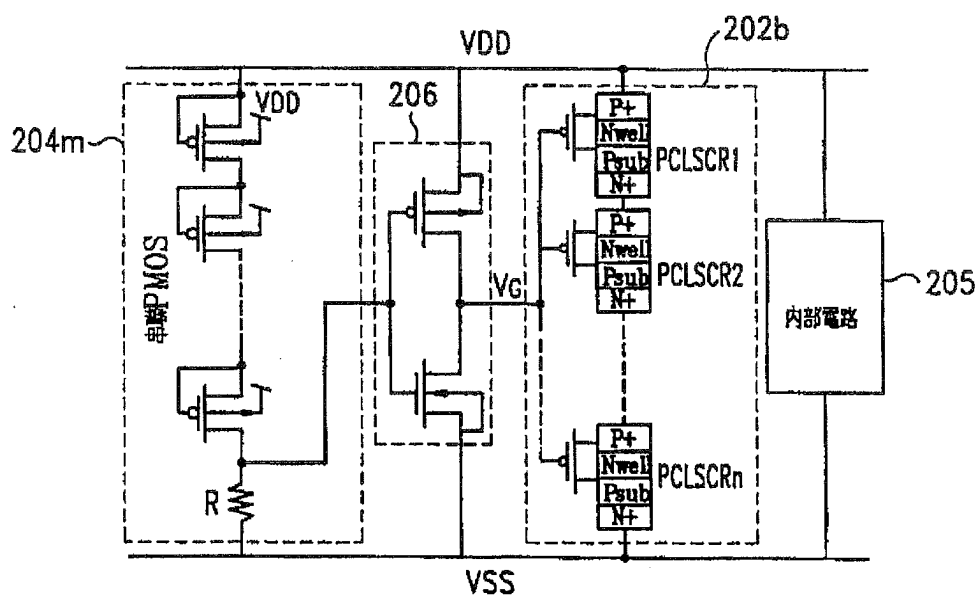
第十六A圖



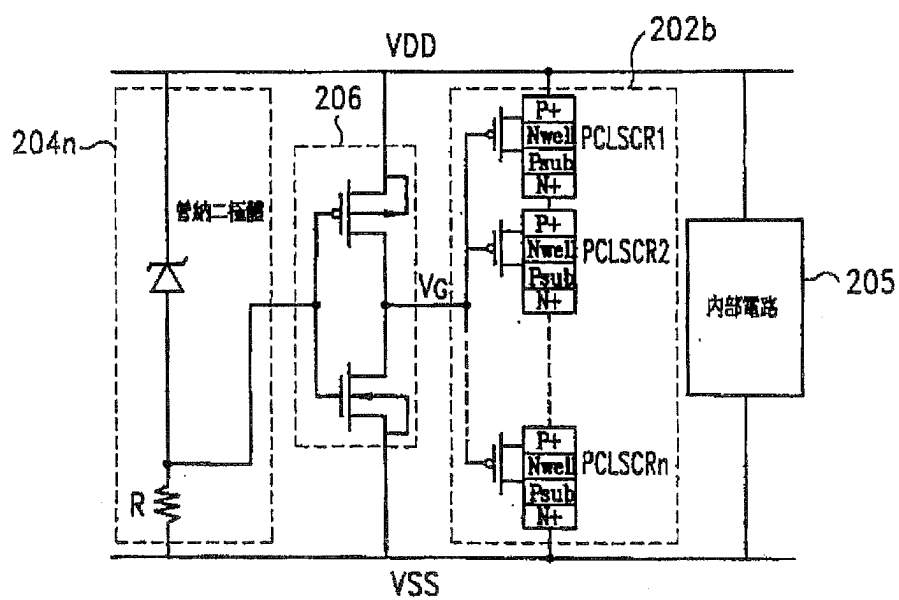
第十六B圖



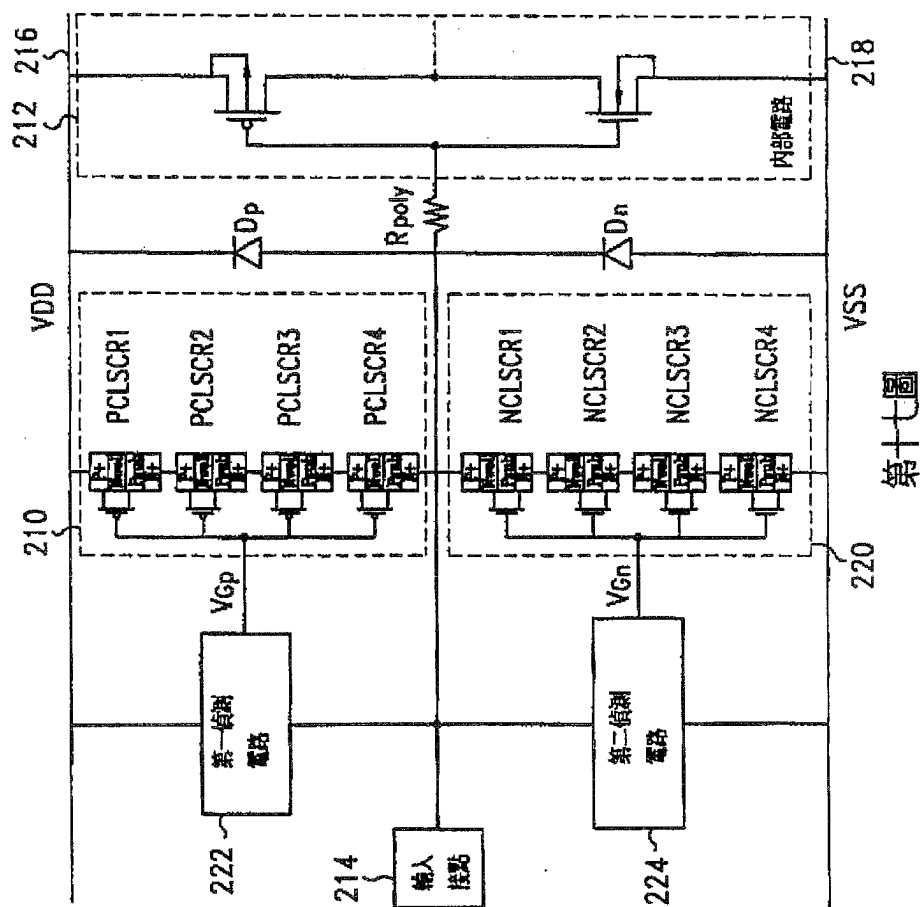
第十六C圖

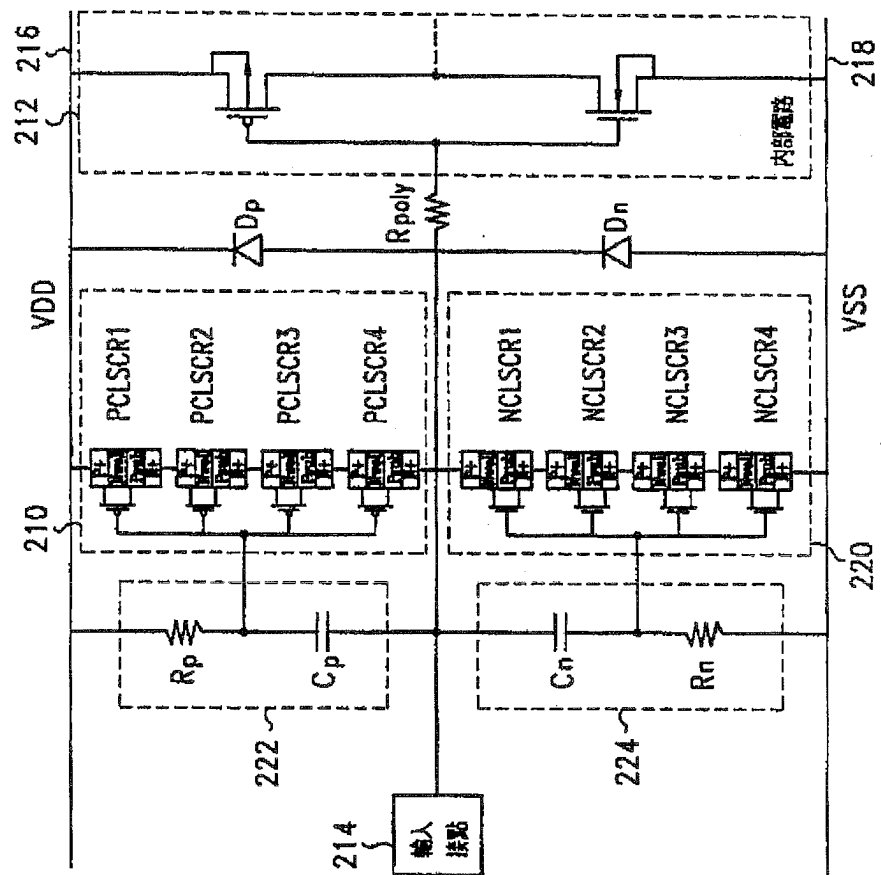


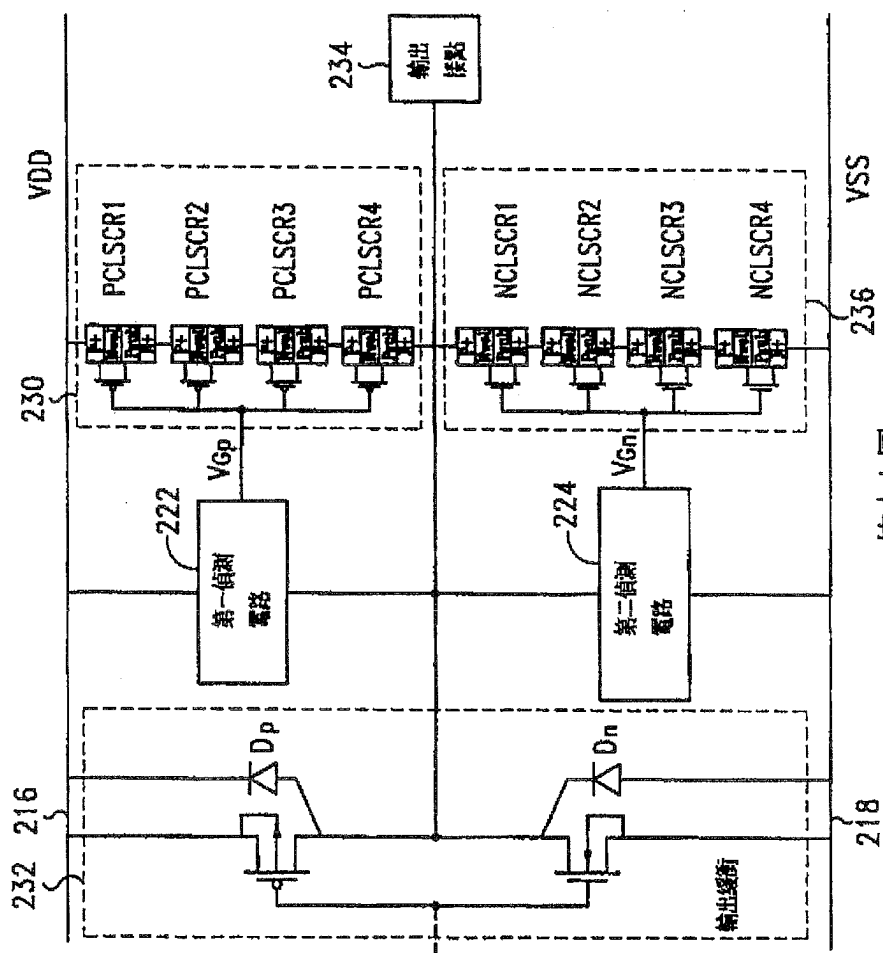
第十六D圖



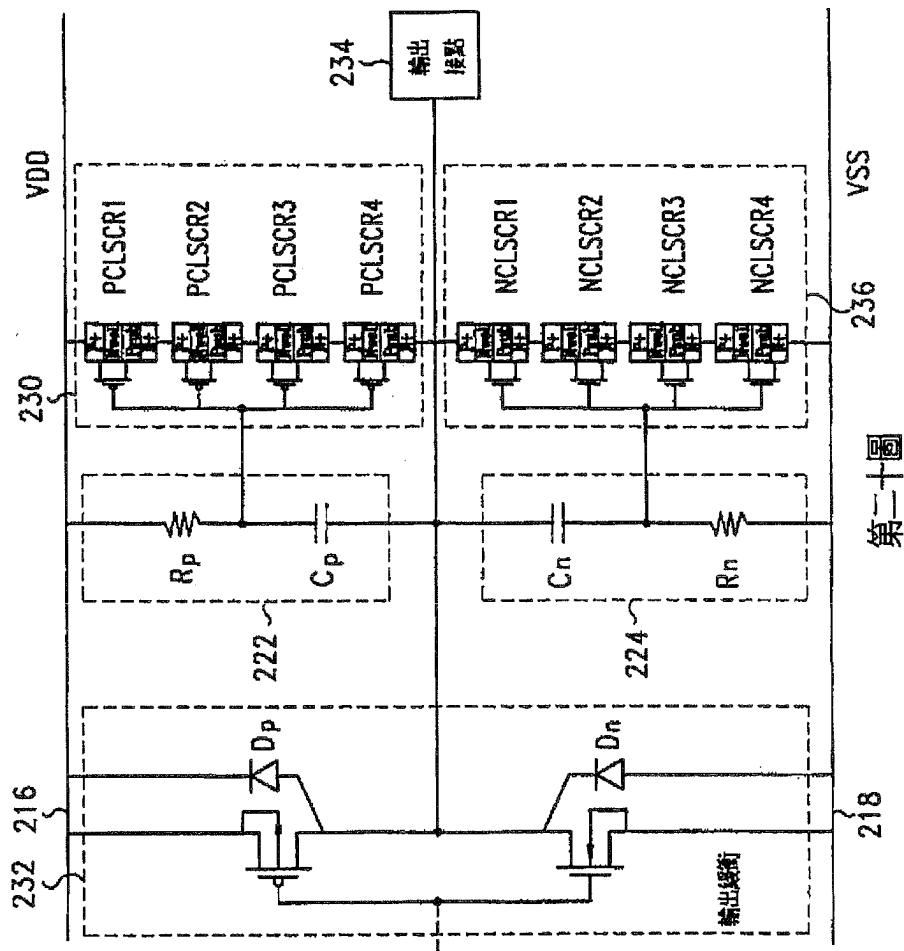
第十六圖

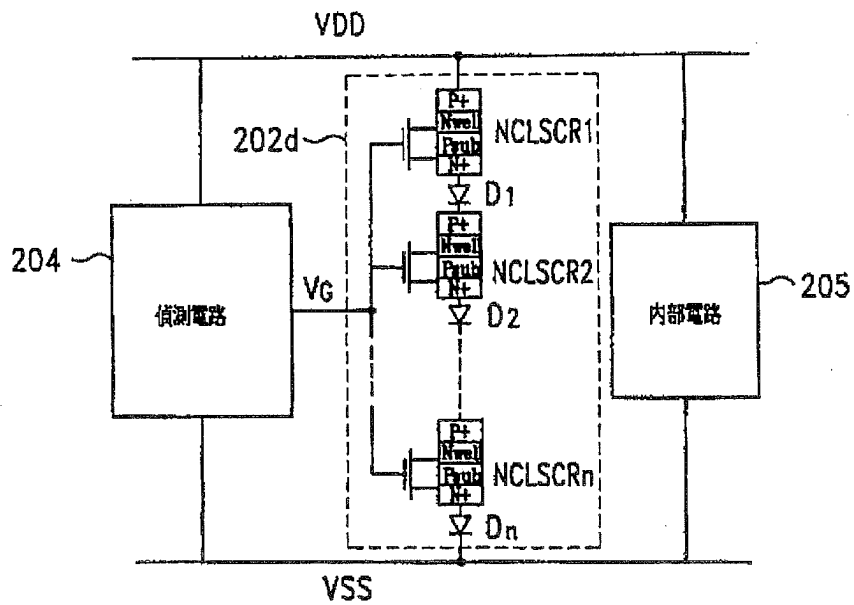




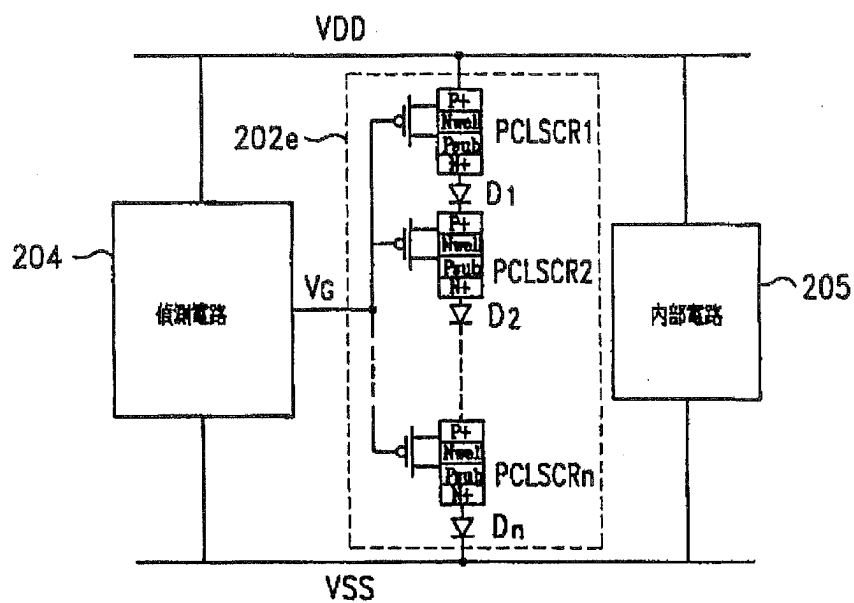


第十九圖

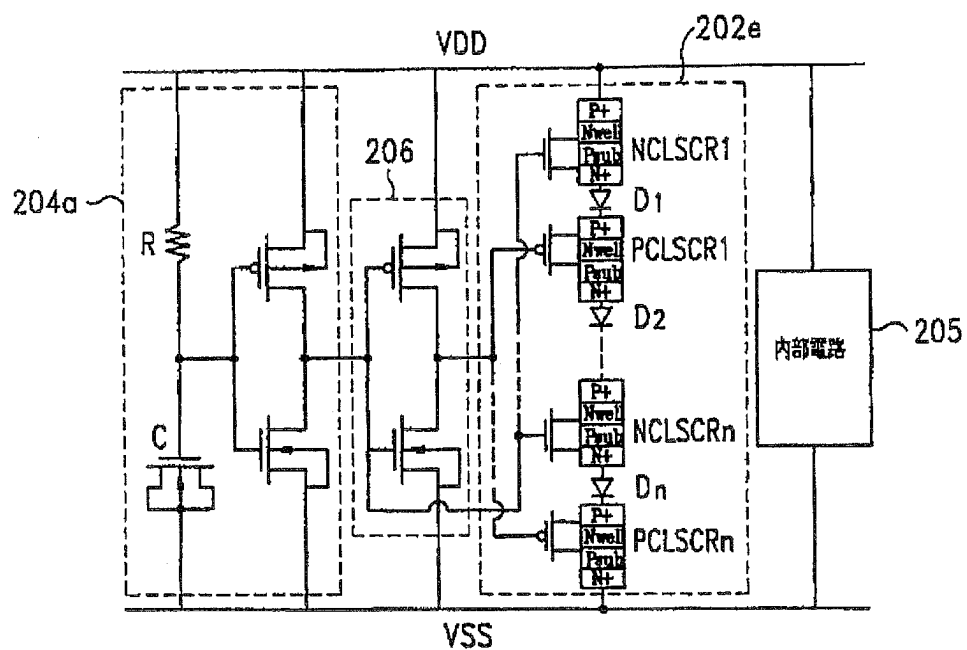




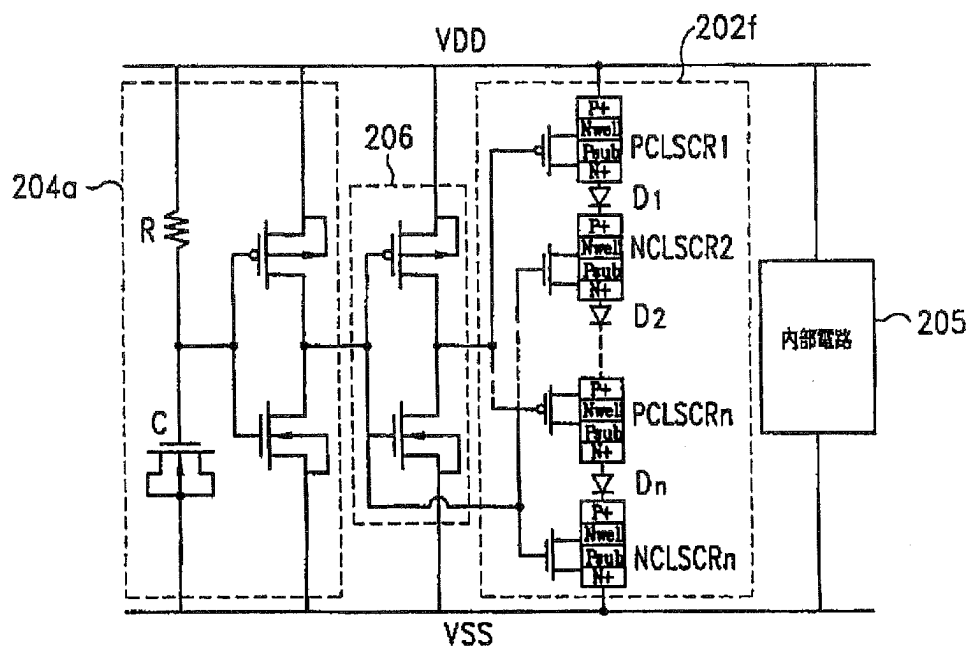
第二十一 A圖



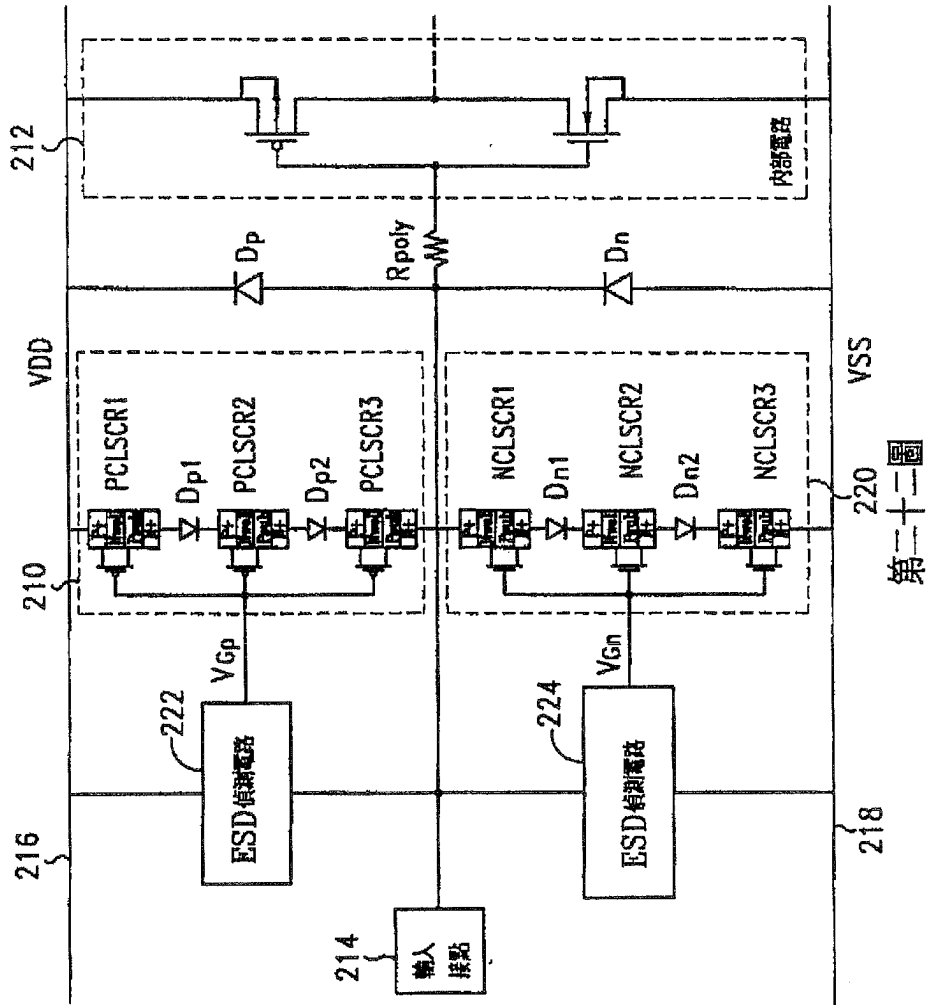
第二十一 B圖



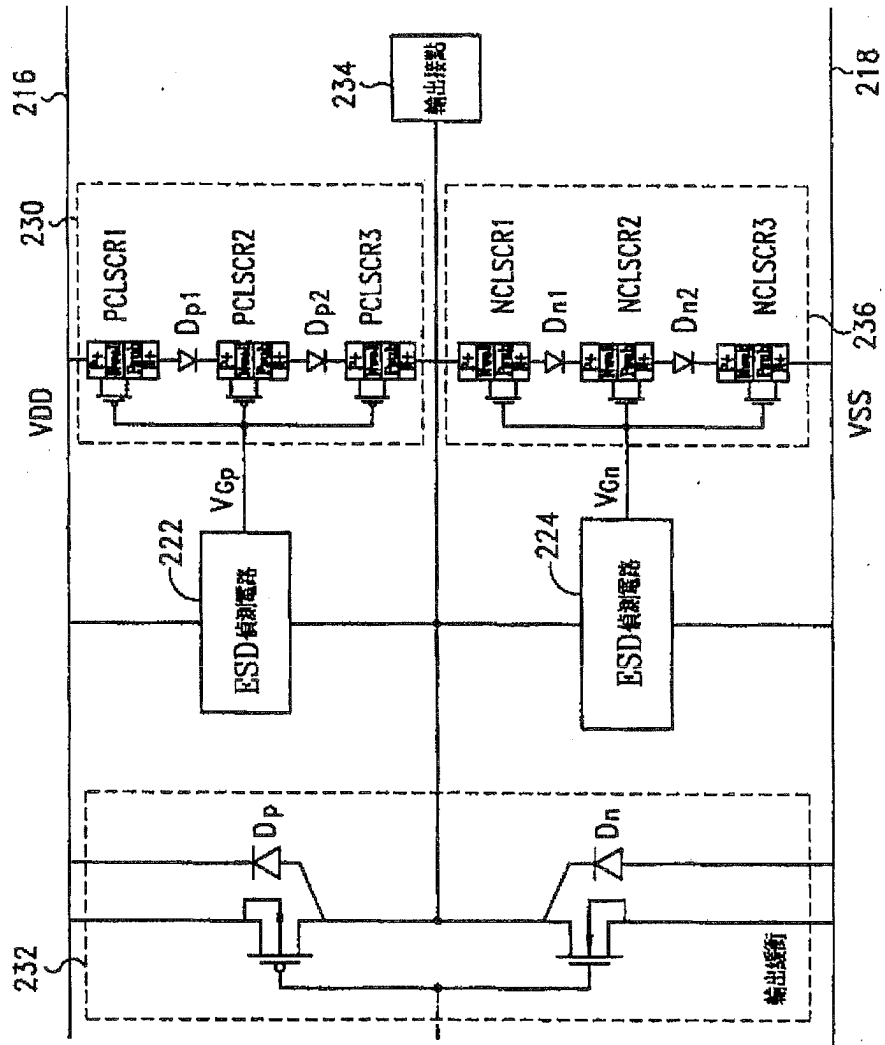
第二十一 C圖



第二十一 D圖



第二十二圖



第二十三圖